

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-258265

(43)Date of publication of application : 12.09.2003

(51)Int.Cl.

H01L 29/786
H01L 21/8247
H01L 27/105
H01L 29/788
H01L 29/792
H01L 51/00

(21)Application number : 2002-240449

(71)Applicant : NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL & TECHNOLOGY

(22)Date of filing : 21.08.2002

(72)Inventor : KAMATA SHUNEI
YOSHIDA MANABU

(30)Priority

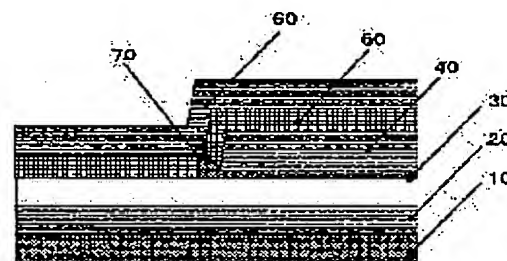
Priority number : 2001400917 Priority date : 28.12.2001 Priority country : JP

(54) ORGANIC THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that it is necessary to make a channel (distance between the source and drain) for a current flow narrower for improvement in transistor characteristics, and the conventional photolithography or electron beam lithography used a highly fine fabrication technique to shorten a channel length, however, a high-performance element cannot be manufactured at a low cost because the applicable fine fabrication technique is extremely high in quality and expensive.

SOLUTION: An organic thin-film transistor can be made very thin without using a special fine fabrication technique. This merit is applied to control a distance between the source and drain, so that an extremely short channel length can be made without using a highly fine fabrication technique, and a high-performance organic transistor can be conveniently manufactured as a result.



LEGAL STATUS

[Date of request for examination]

31.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the thin film transistor which has a gate electrode, an insulating layer, the source or a drain, a semi-conductor layer and a drain, or the source on a substrate This gate electrode is prepared in the part on this substrate. This gate electrode and this substrate by this insulating layer A bonnet, Are on this insulating layer and this source or a drain is formed in a part of field corresponding to this gate electrode. The inside of the field corresponding to [are on a bonnet and this semi-conductor layer by the semi-conductor layer about this source or a drain, and this insulating layer, and] this source or a drain, The thin film transistor characterized by forming this drain or the source so that the field where this source or a drain overlaps this gate electrode may be covered.

[Claim 2] In the thin film transistor which has the source or a drain, a semi-conductor layer, a drain or the source, an insulating layer, and a gate electrode on a substrate This source or a drain is formed in the part on this substrate. This source or a drain, and this substrate by this semi-conductor layer A bonnet, Are on this semi-conductor layer and a drain or the source is prepared in a part of field corresponding to this source or a drain. The thin film transistor characterized by preparing this gate electrode in the field to which this drain or the source overlaps this source or a drain among the fields corresponding to this drain or the source in this bonnet and insulating-layer top by the insulating layer in this drain or the source.

[Claim 3] The thin film transistor characterized by preparing an insulating layer in the upper part of the above-mentioned source or a drain in the thin film transistor of the claim 1 above-mentioned publication.

[Claim 4] The thin film transistor characterized by the above-mentioned semi-conductor layer consisting of organic-semiconductor ingredients in above-mentioned claim 1 thru/or a thin film transistor given in 3.

[Claim 5] The thin film transistor characterized by the thickness of the above-mentioned semi-conductor layer being 1 micrometer or less in above-mentioned claim 1 thru/or a thin film transistor given in 4.

[Claim 6] The above-mentioned source and the above-mentioned drain are a thin film transistor characterized by consisting of construction material from which a work function differs in above-mentioned claim 1 thru/or a thin film transistor given in 5.

[Claim 7] In a thin film transistor given in above-mentioned claim 6 either the above-mentioned source or a drain The gold which is the large ingredient of a work function, platinum, palladium, copper, nickel, It is chosen from the ingredient which combined two or more indium-stannic acid ghosts, poly thiophenes, or these. Another side of the above-mentioned source or a drain The thin film transistor characterized by being chosen from the ingredient which combined two or more the indium which is the small ingredient of a work function, aluminum, silver, calcium, magnesium, lithiums, or these.

[Claim 8] It is the thin film transistor characterized by for the above-mentioned semi-conductor layer being the organic-semiconductor ingredient of p mold, and for the big ingredient of a work function constituting the above-mentioned source or the drain electrode of the direction near the above-mentioned gate electrode in a thin film transistor given in above-mentioned claim 7, and constituting the

above-mentioned source or the drain electrode of the one distant from the above-mentioned gate electrode with the small ingredient of a work function.

[Claim 9] The semi-conductor of the above-mentioned p mold is a thin film transistor characterized by being chosen as the derivative list in which pentacene, tetracene, a thiophene, phthalocyanines, and these ends were permuted in the thin film transistor given in above-mentioned claim 8 from the polymers of the derivative with which the poly thiophene, polyphenylene, polyphenylene vinylene, the poly fluorenes and these ends, or the side chain of those was permuted.

[Claim 10] It is the thin film transistor characterized by for the above-mentioned semi-conductor layer being the organic-semiconductor ingredient of n mold, and for the small ingredient of a work function constituting the above-mentioned source or the drain electrode of the direction near the above-mentioned gate electrode in a thin film transistor given in above-mentioned claim 7, and constituting the above-mentioned source or the drain electrode of the one distant from the above-mentioned gate electrode with the big ingredient of a work function.

[Claim 11] The semi-conductor of the above-mentioned n mold is a thin film transistor characterized by being chosen as above-mentioned claim 10 from the derivatives with which perylene tetracarboxylic dianhydride, naphthalene tetracarboxylic dianhydride, fluorination phthalocyanines, and these ends were permuted in the thin film transistor of a publication.

[Claim 12] In the manufacture approach of a thin film transistor of having a gate electrode, an insulating layer, the source or a drain, a semi-conductor layer and a drain, or the source on a substrate This gate electrode is prepared in the part on this substrate. This gate electrode and this substrate by this insulating layer A bonnet, Are on this insulating layer and this source or a drain is formed in a part of field corresponding to this gate electrode. The inside of the field corresponding to [are on a bonnet and this semi-conductor layer by the semi-conductor layer about this source or a drain, and this insulating layer, and] this source or a drain, The manufacture approach of the thin film transistor characterized by forming this drain or the source so that the field where this source or a drain overlaps this gate electrode may be covered.

[Claim 13] In the manufacture approach of a thin film transistor of having the source or a drain, a semi-conductor layer, a drain or the source, an insulating layer, and a gate electrode on a substrate This source or a drain is formed in the part on this substrate. This source or a drain, and this substrate by this semi-conductor layer A bonnet, Are on this semi-conductor layer and a drain or the source is prepared in a part of field corresponding to this source or a drain. The manufacture approach of the thin film transistor characterized by preparing this gate electrode in the field to which this drain or the source overlaps this source or a drain among the fields corresponding to this drain or the source in this bonnet and insulating-layer top by the insulating layer in this drain or the source.

[Claim 14] The manufacture approach of a thin film transistor that some elements [at least] which constitute the above-mentioned transistor are characterized by being produced by applying or adhering a solution in the manufacture approach of above-mentioned claim 12 or a thin film transistor given in 13.

[Claim 15] The display device characterized by producing using above-mentioned claim 1 thru/or a thin film transistor given in 11.

[Claim 16] The display device to which the display of the above-mentioned display device is characterized by being electroluminescence devices, a liquid crystal device, or an electrophoresis component in a display device given in above-mentioned claim 15.

[Claim 17] The memory device characterized by using a ferroelectric ingredient for all or a part of the above-mentioned insulating layers which contacted above-mentioned claim 1 thru/or 11 in the thin film transistor of a publication at the above-mentioned gate electrode.

[Claim 18] The memory device characterized by the above-mentioned ferroelectric ingredients of a publication being organic dielectric materials at above-mentioned claim 17.

[Claim 19] The thin film transistor integrated circuit characterized by having arranged two or more above-mentioned claims 1 thru/or thin film transistors given in 6.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the technique which makes it possible to create a component in simple processes, such as printing, while bringing about the improvement in a property of a thin film transistor (TFT) which used the organic semiconductor especially for the semi-conductor layer about a thin film transistor.

[0002]

[Description of the Prior Art] In recent years, various integrated-circuit techniques which use an organic-semiconductor thin film transistor have come to be proposed. Large area processing, the thing [for creation of a up to / a still more flexible substrate / compatibility] for a low cost manufacture process to be realized are made into an advantage, and such an integrated circuit attracts expectation that the compatibility to the integrated-circuit technique of the electronic equipment supplied by the low price is good like electronic tags, such as a pocket display, and an electronic price tag, an electronic tag, while being created by the simple manufacture approaches, such as a printing technique, is expected.

[0003] In recent years, it has come [development of the thin film transistor using an organic semiconductor is becoming active gradually from the second half of the 1980s, and] to exceed the property of the thin film transistor of an amorphous silicon as basic engine performance. As the typical example, the engine performance of the thin film transistor using pentacene as an organic semiconductor created by Shane and others is reported to Science (Science), 287 volumes, and 1022 pages (2000).

[0004] The fundamental component structure of an organic-semiconductor thin film until now As shown in drawing 1 , create the gate 21 on a substrate 11 and the laminating of the insulator layer 31 is carried out on the gate 21. Or it creates the source 61 and a drain 41 in parallel and simultaneous on it and will not be called the bottom product contact structure which carries out the laminating of the semi-conductor layer 51 from on the, as it is shown in drawing 2 What creates the gate 22 on a substrate 12, carries out the laminating of the insulator layer 32 on the gate 22, carries out the laminating of the semi-conductor layer 52 further on it, and is called juxtaposition and the top contact structure created simultaneously in the source 62 and a drain 42 from on the was common. It is characteristic that the source and a drain are created by each in parallel and simultaneous with such component structures. In order to aim at improvement in basic properties, such as the high-speed responsibility of a thin film transistor, and low-battery actuation, it is one of the most important factors to narrow the distance between the source and a drain, i.e., channel length. However, although how the narrow source and the distance between drains are acquired has many places which depend on ultra-fine processing technology fundamentally and technique various until now has been examined when taking drawing 1 and structure like 2, it has the technical problem that the technique of having still been excellent is not established.

[0005] As juxtaposition and an approach of creating simultaneously, a mask is used for the source and a drain, and it is known as one of the simplest approaches that it is adapted there in the electrode formation technique under vacuums, such as vacuum deposition or sputtering. However, by this approach, as long as the usual general-purpose mask is used, acquiring a narrow distance between

source-drains of 10 micrometers or less has the trouble of being difficult. Moreover, if the special mask which can be adapted for micro processing is used, the mask carried out blinding by one electrode formation, and the problem of not being suitable for large quantity processing is produced.

[0006] For the most typical technique of obtaining narrower channel length, it is Applied that the thin film transistor property which is a photolithography technique, formed narrow channel length with the photolithography technique also about the organic thin film transistor, and was excellent by that cause is acquired. Physics It is reported in Letters, 76 volumes, 1941 pages, 2000, etc. However, in having applied this technique, since the semi-conductor layer of a thin film transistor consists of organic materials, it is difficult to introduce actuation of flushing a photo mask with an organic solvent.

Moreover, if cost, time amount, etc. which a photolithography technique takes are taken into consideration by that cause although the engine performance as a thin film transistor is demonstrated even if the production process for which photolithography can be adapted is devised, it is using an organic material as an ingredient of a thin film transistor, and has the trouble of it becoming impossible to demonstrate the description of realizing low cost and production by low energy.

[0007] Using an electron-beam lithography technique is known as a technique of obtaining channel length still narrower than a photolithography technique. Using the electron-beam lithography technique, very narrow channel length of 30nm is realized, and the technique which enables low-battery actuation of 0.35 V/decade for the electrical potential difference between source-drains by 1V by that cause is reported. (Applied Physics Letters, 76 volumes, 1941 pages, 2000) However, with this technique, if not adapted in the very advanced and expensive technique of electron-beam lithography, it does not change, but it has the trouble of it becoming impossible to demonstrate the description that it is adapted in simple manufacture processes, such as a printing technique, using an organic material as an ingredient of a thin film transistor. Moreover, it has the slew rate and the trouble of becoming late.

[0008] The technique which creates a component by printing is reported to Science (Science), 290 volumes, and 2123 pages (2000). Here, 5-micrometer narrow channel length is realized by installing a thin spacer rod in the electrode between source-drains. However, with this technique, channel length is dependent on the width of face of a spacer, and it has the trouble of having to be dependent on the ultra-fine processing technology how to make a thin spacer.

[0009] The electrostatic-induction mold organic transistor is reported considering such channel length's control as a transistor by ultra-fine processing technology. (Nature, 372 volumes, 344 pages, 1994 or Synthetic Metals, 111 volume, 11 pages, 2000) It is controllable by the thickness which creates channel length with this transistor structure. However, since the principles of operation of a thin film transistor differ in this case, in order to introduce as a thin film transistor which was conventionally adapted, a circuit design manual must be changed. Moreover, although creation of a source-drain becomes easy, it has the trouble that creation of the gate is very difficult.

[0010]

[Problem(s) to be Solved by the Invention] In order to raise transistor characteristics, it is required to narrow the channel (distance between the source and a drain) to which a current flows. It being adapted in advanced ultra-fine processing technology, such as a photolithography technique and an electron-beam lithography technique, and shortening channel length conventionally, has been performed. It was difficult to make a highly efficient component from such technique by the low price, since adapted ultra-fine processing technology is very advanced and expensive. Moreover, when channel length was made remarkably narrow, the leakage current between source-drains became large and the problem that a large current amplification ratio (ON / off ratio) could not be taken as transistor characteristics had arisen.

[0011] This invention offers the manufacture approach while developing the basic component structure of the transistor which enables implementation of control of the channel length who influences improvement in the basic property of a transistor, without being adapted in special ultra-fine processing technology, such as lithography. Moreover, this invention offers the thin film transistor which makes the leakage current between source-drains when channel length becomes short mitigate.

[0012]

[Means for Solving the Problem] In the case of the organic thin film transistor, even if not adapted in

special ultra-fine processing technology, even if the thickness of a thin film was not [channel length / very narrow] adapted in advanced ultra-fine processing technology by being adapted for source-drain inter-electrode distance in the thickness of this thin film paying attention to the point that it can do very thinly, it made the invention possible. Moreover, the leakage current between source-drains was able to be made to mitigate by forming a source electrode and a drain electrode with the ingredient with which work functions differ.

[0013] Namely, according to this invention, it sets to the thin film transistor which has the gate electrode 20, an insulating layer 30, the source or a drain 40, the semi-conductor layer 50 and a drain, or the source 60 on the substrate 10 as shown in drawing 3 . This gate electrode 20 is formed in the part on this substrate 10. This gate electrode 20 and this substrate 10 by this insulating layer 30 A bonnet, Are on this insulating layer 30 and this source or a drain 40 is formed in a part of field corresponding to this gate electrode 20. This source or a drain 40, and this insulating layer 30 by the semi-conductor layer 50 A bonnet, The thin film transistor characterized by forming this drain or the source 60 so that the field where it is on this semi-conductor layer 50, and this source or a drain 40 overlaps this gate electrode 20 among the fields corresponding to this source or a drain 40 may be covered is offered. The important part of the structure of drawing 3 is expanded to drawing 4 , and is shown. In this transistor structure, a channel 70 is formed between the source or a drain 40, a drain, or the source 60, and the die length (channel length) is prescribed by the thickness of the semi-conductor layer 50.

[0014] Moreover, according to this invention, it sets to the thin film transistor which has the source or a drain 60, the semi-conductor layer 50, a drain or the source 40, an insulating layer 30, and the gate electrode 20 on the substrate 10 as shown in drawing 5 . This source or a drain 60 is formed in the part on this substrate 10. This source or a drain 60, and this substrate 10 by this semi-conductor layer 50 A bonnet, Are on this semi-conductor layer 50, and a drain or the source 40 is formed in a part of field corresponding to this source or a drain 60. The inside of the field on this bonnet and insulating-layer 30 top and corresponding to [by the insulating layer 30] this drain or the source 40 for this drain or the source 40, The thin film transistor characterized by forming this gate electrode 20 in the field to which this drain or the source 40 overlaps this source or a drain 60 is offered. The important part of the structure of drawing 5 is expanded to drawing 6 , and is shown. In this transistor structure, a channel 70 is formed between the source or a drain 40, a drain, or the source 60, and the die length (channel length) is prescribed by the thickness of the semi-conductor layer 50.

[0015] Moreover, according to this invention, as shown in drawing 7 , in the thin film transistor shown in drawing 3 , the thin film transistor characterized by forming an insulating layer 80 in the upper part of the above-mentioned source or a drain 40 is offered.

[0016] Moreover, according to this invention, in above-mentioned drawing 3 and the thin film transistor shown by 5 and 7, the thin film transistor characterized by the semi-conductor layer 50 consisting of organic-semiconductor ingredients is offered.

[0017] Moreover, according to this invention, in above-mentioned drawing 3 and the thin film transistor shown by 5 and 7, the thin film transistor characterized by the thickness of the semi-conductor layer 50 being 1 micrometer or less is offered.

[0018] In the thin film transistor which is shown by above-mentioned drawing 3 , and 5 and 7 according to this invention moreover, either the source or the drains 40 and 60 The gold which is the large ingredient of a work function, platinum, palladium, copper, nickel, It is chosen from the ingredient which combined two or more indium-stannic acid ghosts, poly thiophenes, or these. Another side of the source or drains 40 and 60 The thin film transistor characterized by being chosen from the ingredient which combined two or more the indium which is the small ingredient of a work function, aluminum, silver, calcium, magnesium, lithiums, or these is offered.

[0019] Moreover, according to this invention, in above-mentioned drawing 3 and the thin film transistor shown by 5 and 7, the semi-conductor layer 50 is the organic-semiconductor ingredient of p mold, the big ingredient of a work function constitutes the above-mentioned source or the drain electrode 40 of the direction near the gate electrode 20, and the thin film transistor characterized by constituting the source or the drain electrode 60 of the one distant from the gate electrode 20 with the small ingredient of a work

function is offered.

[0020] Moreover, according to this invention, in above-mentioned drawing 3 and the thin film transistor shown by 5 and 7, the thin film transistor characterized by choosing the semi-conductor of the above-mentioned p mold from the polymers of the derivative with which the poly thiophene, polyphenylene, polyphenylene vinylene, the poly fluorenes and these ends, or the side chain of those was permuted by the derivative list by which pentacene, tetracene, a thiophene, phthalocyanines, and these ends were permuted is offered.

[0021] Moreover, according to this invention, in above-mentioned drawing 3 and the thin film transistor shown by 5 and 7, the semi-conductor layer 50 is the organic-semiconductor ingredient of n mold, the small ingredient of a work function constitutes the source or the drain electrode 40 of the direction near the gate electrode 20, and the thin film transistor characterized by constituting the source or the drain electrode 60 of the one distant from the gate electrode 20 with the big ingredient of a work function is offered.

[0022] Moreover, according to this invention, in above-mentioned drawing 3 and the thin film transistor shown by 5 and 7, the thin film transistor characterized by choosing the semi-conductor of the above-mentioned n mold from the derivatives with which perylene tetracarboxylic dianhydride, naphthalene tetracarboxylic dianhydride, fluorination phthalocyanines, and these ends were permuted is offered.

[0023] Moreover, according to this invention, it sets to the manufacture approach of a thin film transistor of having the gate electrode 20, an insulating layer 30, the source or a drain 40, the semi-conductor layer 50 and a drain, or the source 60 on a substrate 10. This gate electrode 20 is formed in the part on this substrate 10. This gate electrode 20 and this substrate 10 by this insulating layer 30 A bonnet, Are on this insulating layer 30 and this source or a drain 40 is formed in a part of field corresponding to this gate electrode 20. This source or a drain 40, and this insulating layer 30 by the semi-conductor layer 50 A bonnet, The inside of the field corresponding to [are on this semi-conductor layer 50, and] this source or a drain 40 at least, The manufacture approach of the thin film transistor characterized by forming this drain or the source 60 so that the field where this source or a drain 40 overlaps this gate electrode 20 may be covered is offered.

[0024] Moreover, according to this invention, it sets to the manufacture approach of a thin film transistor of having the source or a drain 60, the semi-conductor layer 50, a drain or the source 40, an insulating layer 30, and the gate electrode 20 on a substrate 10. This source or a drain 60 is formed in the part on this substrate 10. This source or a drain 60, and this substrate 10 by this semi-conductor layer 50 A bonnet, Are on this semi-conductor layer 50, and a drain or the source 40 is formed in a part of field corresponding to this source or a drain 60. The inside of the field corresponding to this drain or the source 40 when few [by the insulating layer 30 / on a bonnet and this insulating layer 30] in this drain or the source 40, The manufacture approach of the thin film transistor characterized by forming this gate electrode 20 in the field to which this drain or the source 40 overlaps this source or a drain 60 is offered.

[0025] moreover, according to this invention, in the manufacture approach of the above-mentioned thin film transistor, some elements [at least] which constitute the above-mentioned transistor apply a solution -- it is -- it is -- the manufacture approach of the thin film transistor characterized by being produced is offered by making it adhere.

[0026] Moreover, according to this invention, the display device characterized by producing using above-mentioned drawing 3 and the thin film transistor shown by 5 and 7 is offered.

[0027] Moreover, according to this invention, the display device to which the display of the above-mentioned display device is characterized by being electroluminescence devices, a liquid crystal device, or an electrophoresis component is offered.

[0028] Moreover, according to this invention, in above-mentioned drawing 3 and the thin film transistor shown by 5 and 7, the memory device characterized by using a ferroelectric ingredient for all or a part of insulating layers 30 in contact with the gate electrode 20 is offered.

[0029] Moreover, according to this invention, in the above-mentioned memory device, the memory device characterized by ferroelectric ingredients being organic dielectric materials is offered.

[0030] Moreover, according to this invention, the thin film transistor integrated circuit characterized by

having arranged two or more above-mentioned drawing 3 and thin film transistors shown by 5 and 7 is offered.

[0031]

[Embodiment of the Invention] Especially the substrate 10 used in this invention is not limited, but may use what kind of object. Although the objects generally used suitably are glass substrates, silicon wafers, etc., such as a quartz, a plastic plate with the flexibility of a polycarbonate, polyimide, polyethylene terephthalate (PET), etc. can be used. Moreover, the arrangement location of a substrate is not limited by the counter electrode side of the counter electrode side of the insulating layer 30 of the gate 20, the source, or the semi-conductor layer 50 of a drain 60. When producing the gate 20 previously, as for a substrate, it is desirable to contact the gate 20 and to be installed in the counter electrode side of the gate insulating layer 30, but when producing the source or a drain 60 previously, as for a substrate, it is desirable to contact the source or a drain 60 and to be installed in the counter electrode side of the semi-conductor layer 50.

[0032] As long as the ingredient of the gate 20 used in this invention is an ingredient with low resistance, what kind of thing may be used for it. Generally, although metals, such as a tungsten, chromium, silver, nickel, gold, and copper, are used in many cases, it is not limited to this. Especially the creating method is not limited but may use what kind of approach. although the approach generally used is plating wiring etc., it is applied from a being [they / letterpress printing, screen-stencil, and ink jet printing] solution -- it is -- it is -- the wet manufacture process of adhering etc. is adapted. In this case, the electrode by organic materials, such as an others and thiophene system conductive polymer (PEDOT), and the poly anilines, those derivatives, can be used as the gate 20. [paste / silver] Moreover, it is possible for it to be also adapted in different dry type manufacture processes from the above, such as a vacuum deposition method and the sputtering method. Moreover, since stabilization of a component, reinforcement, high charge impregnation increase in efficiency, etc. are attained, it is also possible for the gate 20 to consist of mixing of two or more ingredients or a laminating, or to perform surface treatment.

[0033] Especially the configuration of the gate 20 used in this invention is not limited, but may use what kind of configuration. Although being used suitably generally is 1mm or less in 1-micrometer or more width of face and it is with a 20nm or more thickness [thickness 10 micrometers or less] straight-line wiring, it is not limited to this.

[0034] The insulating layer 30 in contact with the gate used in this invention has the desirable ingredient which has a big dielectric constant, in order to acquire the more effective electric field effect. For example, although SiO₂, aluminum 2O₃, etc. are raised, in order not to be limited to this and to make the flexibility of a component give, polymer dielectrics, such as polymethylmethacrylate (PMMA), polyimide, polystyrene, poly paraxylene, polyvinylidene fluoride (PVF), a polyvinyl phenol, and a pullulan, etc. can be used. Furthermore, ferroelectric thin films, such as titanate-acid lead zirconate (PZT), etc. are available. Moreover, it is possible to coat the semi-conductor layer 50 side of an insulating layer 30, in order to enlarge crystal grain of the semi-conductor thin film 50 or to raise a stacking tendency, or to carry out orientation processing of the front face of an insulating layer 30 etc.

[0035] Especially the method of creating an insulating layer 30 used in this invention is not limited, but may use what kind of approach. Generally, although vapor growth, such as vacuum deposition and sputtering, is used in many cases, it is simple, and from the point of creation by low cost, screen-stencil, ink jet printing, etc. mix an ingredient with a solvent, and the printing technique as a wet manufacture process which creates by carrying out spreading or adhesion from a solution etc. is adapted. Moreover, the thickness of the layer at this time is 100nm or more 500nm or less preferably, although it is 50nm or more 5000nm or less that it can generally use.

[0036] Especially the configuration of the insulating layer 30 in contact with the gate used in this invention is not limited, but may use what kind of configuration. Generally, it is desirable to have the configuration of an area larger than the semi-conductor layer 50.

[0037] Although another side uses an ingredient with a small work function, using an ingredient with a work function large [one side] as the source used in this invention, a drain 40, or an ingredient of 60

Under the present circumstances, since adjustment of a work function, stabilization of a component, reinforcement, high charge impregnation increase in efficiency, etc. are attained, it is also possible for the source and a drain to consist of mixing of two or more ingredients or a laminating, or to perform interface qualification between surface treatment or a semi-conductor layer.

[0038] Especially the source, the drain 40, or the method of creating 60 used in this invention is not limited, but may use what kind of approach. Generally, although vapor growth, such as vacuum deposition and sputtering, is used in many cases, it is simple and the printing technique as a wet manufacture process which is mixed with a solvent and creates ingredients, such as screen-stencil and ink jet printing, as spreading from a solution etc. is adapted from the point of creation by low cost.

[0039] The source used in this invention, a drain 40, or especially the pattern configuration of 60 is not limited, but may use what kind of pattern configuration. Although being used suitably generally is 1mm or less in 1-micrometer or more width of face and it is with a 20nm or more thickness [thickness 10 micrometers or less] straight-line wiring, it is not limited to this.

[0040] The source used in this invention or the cross-section configuration of a drain 40 is desirable in whether the angle theta with the side face (B-C side of drawing 8) of the film front face (A-B side of drawing 8) of an insulating layer 30, the source, or the drain electrode 40 to accomplish is made into 130 or less degrees in order to realize effective electric-field distribution. In order to make it more effective, it is desirable for the include angle theta concerned to become close to 90 degrees as much as possible.

[0041] The gate voltage dependency of the current between source-drains in electrical-potential-difference 4 V:00 between source-drains of the component whose above theta is about 120 degrees is shown in drawing 9 . From drawing, it was shown between source-drains that the subthreshold level slope of electrical-potential-difference 4V serves as about 0.15 V/decade.

[0042] The gate voltage dependency of the current between source-drains in electrical-potential-difference 4 V:00 between source-drains of the component whose above theta is about 150 degrees is shown drawing 10 . Even if it changed gate voltage, a drain current hardly changed from drawing, but it became clear that the modulation effectiveness by the gate does not show up.

[0043] Although especially the manufacture approach for creating such a configuration is not limited but what kind of approach may be used, generally configuration shaping is performed using a photo etching technique, mask vacuum evaporatio, etc. When the applying methods, such as the ink jet method, are used especially, an electrode configuration does not care about that the angle with the side face of the film front face of an insulating layer 30, the source, or the drain electrode 40 to accomplish also becomes 90 or less degrees depending on the electrode material and desiccation conditions, or becoming such a configuration although it may happen, either.

[0044] In case it wires about arrangement of the gate 20 in this invention, the source or a drain 40, a drain, or the source 60, especially the mutual angle of each shaft on a substrate flat surface may not be limited, but may be wired at what kind of include angle. However, it is required to have the part which the gate 20, the source or a drain 40, a drain, or the source 60 intersected. Moreover, it is desirable to be installed so that each may not lap in the vertical direction in the part which separated from the component section.

[0045] As for the thin film transistor in this invention, an organic-semiconductor ingredient is used for the semi-conductor layer 50. Especially the presentation may not be limited, may consist of single matter, and may be constituted by mixing of two or more matter. Furthermore, it can also be constituted by the layer structure of several sorts of matter. The following is known as an organic-semiconductor ingredient in which the property which was excellent until now is shown. These derivatives with which an anthracene, tetracene, pentacene, or its end was permuted. alpha-sexi thiophene. The derivative with which perylene tetracarboxylic dianhydride (PTCDA) and its end were permuted. The derivative with which naphthalene tetracarboxylic dianhydride (NTCDA) and its end were permuted. The derivative by which a copper phthalocyanine and its end were permuted with the fluorine etc. The derivative by which the derivative with which the copper of a copper phthalocyanine was permuted with nickel, titanium oxide, fluorination aluminum, etc., and each end were permuted with the fluorine etc. The derivative

with which fullerene, rubrene, coronene, anthra dithio FEN, and those ends were permuted. The polymer of the derivative with which polyphenylene vinylene, the poly thiophene, the poly fluorene, polyphenylene, polyacetylenes and these ends, or a side chain was permuted.

[0046] Especially the method of producing the semi-conductor layer 50 used for this invention is not limited, but what kind of approach may be used for it. Generally, although vapor growth, such as vacuum deposition, is used in many cases, it is simple and the printing technique which are made to mix an ingredient with a solvent and are created as spreading from a solution etc., such as screen-stencil and ink jet printing, is adapted from the point of creation by low cost. Again. It can also be adapted in the print processes called software lithography, such as micro contact printing and micromole DINGU.

[0047] The thickness of the semi-conductor layer 50 in this invention controls channel length, and the more it is thin, the more it can give high performance. Although the thickness generally used is 1 micrometer or less, it is 0.5 micrometers or less 0.05 micrometers or more preferably. Moreover, in order to maintain the homogeneity of thickness in this case, the structure gestalt of the ingredient which constitutes the semi-conductor layer 60 can also be made amorphous. Furthermore, it is possible to also make the thing which made the macromolecule medium of amorphous nature distribute an organic-semiconductor ingredient form as a semi-conductor layer 50.

[0048] Especially the configuration of the semi-conductor layer 50 used in this invention is not limited, but may use what kind of configuration. However, having the configuration of an area larger than the part which the source or a drain 40, a drain, or the source 60 intersected is called for.

[0049] Although it will not matter if the width of face of an insulating layer 80 is narrower than the width of face of 40 used as the source or a drain when inserting an insulating layer 80 in the transistor component in this invention, it is desirable that it is the width of face near extent which does not exceed the width of face of 40 preferably.

[0050] Although the location which inserts the insulating layer 80 in this invention is on 40 used as the source or a drain, especially the physical relationship with the semi-conductor layer 50 is not limited. You may be under the semi-conductor layer 50 on 40 used as the source or a drain, and may install in the field located between 60 used as the semi-conductor layer 50, a drain, or the source in the upper part of 40 used as the source or a drain. Although it will not matter if the width of face of the insulating layer in this case is narrower than the width of face of 40 used as the source or a drain, it is desirable that it is the width of face near extent which does not exceed the width of face of 40 preferably. Moreover, this insulating layer may be installed in both between 60 used as the semi-conductor layer 50, a drain, or the source between 40 used as the source or a drain, and the semi-conductor layers 50.

[0051] The ingredient of an insulating layer 80 has the desirable ingredient which has more effective insulation. For example, although SiO₂, aluminum 2O₃, etc. are raised, in order not to be limited to this and to make the flexibility of a component give, polymer insulators, such as polymethylmethacrylate (PMMA), polyimide, polyethylene, polystyrene, poly paraxylene, polyvinylidene fluoride (PVF), and a polyvinyl phenol, etc. can be used. Moreover, in order to enlarge crystal grain of the semi-conductor thin film 50 or to raise a stacking tendency, it is possible to perform orientation processing of an insulating layer 80, or to carry out coating on an insulating layer 80 etc.

[0052] Especially the method of creating the insulating layer 80 in this invention is not limited, but may use what kind of approach. Generally, although vapor growth, such as vacuum deposition and sputtering, is used in many cases, it is simple and the printing technique as a wet manufacture process which is mixed with a solvent and creates ingredients, such as screen-stencil and ink jet printing, as spreading from a solution etc. is adapted from the point of creation by low cost. Moreover, the thickness of the layer at this time is 50nm or more 500nm or less preferably, although it is 0nm or more 5000nm or less that it can generally use.

[0053]

[Example] Although an example explains this invention further below at a detail, this invention is not limited to these examples.

[0054]

[Example 1] Synthetic quartz (ES grade) The neutral detergent (Iuchi Seieido: pure software) which

diluted the substrate (area 20x35 mm, thickness: 1.0mm) to twist with pure water 5 times performed ultrasonic cleaning for 20 minutes, after that, ultrasonic cleaning was performed for 20 minutes in pure water, and detergent clearance was performed. Furthermore, UV irradiation washing was performed for the substrate for 20 minutes to the bottom of an oxygen ambient atmosphere after that using the ultraviolet-rays-ozone scrubber. Thus, on the washed quartz substrate, as drawing 11 showed, vacuum deposition of the gold was carried out as a gate electrode 20, using the mask made from nickel so that it might become width of face of 100 micrometers, and size with a thickness of 0.2 micrometers. The film production conditions in this case are 30 degrees C of substrates, and are 6nm/m in evaporation rate. Next, as drawing 12 showed, polymethylmethacrylate (PMMA) was dissolved in chloroform from on the gate electrode 20, and the film was produced in thickness of 0.4 micrometers with the spin coat method as an insulator layer 30 from the solution. Then, from on the insulator layer 30, as shown in drawing 13, vacuum deposition of the gold was carried out as a drain electrode 40, using the mask made from nickel so that it might become width of face of 100 micrometers, and size with a thickness of 0.2 micrometers. The film production conditions in this case are 30 degrees C in substrate temperature, and are 6nm/m in evaporation rate. Under the present circumstances, the drain electrode 40 laps only in the gate electrode 20 and part which were created previously, and it was made for the shaft of the gate electrode 20 and the shaft of the drain electrode 40 not to be parallel. Furthermore, from on the, as shown in drawing 14, vacuum deposition of the pentacene was carried out as a semi-conductor layer 50. What repeated sublimation purification 10 times and refined it was used for pentacene. Vacuum deposition conditions fixed the substrate above the boat for vacuum evaporation, adjusted substrate temperature to about 30 degrees C, and decompressed the degree of vacuum even to 2×10^{-6} Torr. Vacuum deposition was performed in the thickness of 0.5 micrometers at the rate of 1nm/m after that. Then, as a source electrode 60, as shown in drawing 15, vacuum deposition of the gold was carried out using the mask made from nickel so that it might become width of face of 100 micrometers, and size with a thickness of 0.05 micrometers. Under the present circumstances, the film was produced so that the shaft of the die-length direction of the drain electrode 40 and the shaft of the die-length direction of the source electrode 60 might cross at right angles and might not serve as a shaft of the gate electrode 20, and parallel. The film production conditions in this case are 30 degrees C in substrate temperature, and are 6nm/m in evaporation rate. Thus, 0.5 micrometers of channel length and an electric field effect mold thin film transistor with a channel width of 100 micrometers were created.

[0055]

[Example 2] The neutral detergent (Iuchi Seieido: pure software) which diluted with pure water n mold silicon substrate (area 20x35 mm, thickness: 1.0mm) which raised 300nm of silicon thermal oxidation film as an insulating layer 30 5 times performed ultrasonic cleaning for 20 minutes, after that, ultrasonic cleaning was performed for 20 minutes among pure water, and detergent clearance was performed. Furthermore, UV irradiation washing was performed for 20 minutes to the bottom of an oxygen ambient atmosphere after that using the ultraviolet-rays-ozone scrubber. Thus, on the washed substrate, vacuum deposition of the golden drain electrode 40 was carried out using the mask made from nickel so that it might become width of face of 100 micrometers, and size with a thickness of 0.2 micrometers. The film production conditions in this case are 30 degrees C in substrate temperature, and are 6nm/m in evaporation rate. Moreover, the pentacene thin film was created with the vacuum deposition method as a semi-conductor layer 50. What repeated sublimation purification 10 times and refined it was used for pentacene. Vacuum deposition conditions fixed the substrate above the boat for vacuum evaporation, adjusted substrate temperature to about 45 degrees C, and decompressed the degree of vacuum even to 2×10^{-6} Torr. Vacuum deposition was performed in the thickness of 0.5 micrometers at the rate of 1nm/m after that. Furthermore, from on the, as a source electrode 60, vacuum deposition of the indium was carried out so that it might become width of face of 100 micrometers, and size with a thickness of 0.2 micrometers and the die-length direction of the drain electrode 40 and the die-length direction might cross at right angles using the mask made from nickel. The film production conditions in this case are 6nm/m in evaporation rate under 30 degrees C of substrates. The silicon wafer used as a substrate was used for the gate electrode 20. Thus, the created thin film transistor operated as 0.5 micrometers of

channel length, and an electric field effect mold thin film transistor with a channel width of 100 micrometers. The gate voltage dependency of the current between source-drains in electrical-potential-difference 2 V:00 between source-drains of the component created by doing in this way by drawing 16 is shown. From drawing, it was shown by electrical-potential-difference 2V between source-drains that subthreshold level slope 8 V/decade is obtained.

[0056]

[Example 3] The neutral detergent (Iuchi Seieido: pure software) which diluted with pure water n mold silicon substrate (area 20x35 mm, thickness: 1.0mm) which raised 300nm of silicon thermal oxidation film as an insulating layer 30 5 times performed ultrasonic cleaning for 20 minutes, after that, ultrasonic cleaning was performed for 20 minutes among pure water, and detergent clearance was performed. Furthermore, UV irradiation washing was performed for 20 minutes to the bottom of an oxygen ambient atmosphere after that using the ultraviolet-rays-ozone scrubber. Thus, on the washed substrate, vacuum deposition of the golden drain electrode 40 was carried out using the mask made from nickel so that it might become width of face of 100 micrometers, and size with a thickness of 0.2 micrometers. The film production conditions in this case are 30 degrees C in substrate temperature, and are 6nm/m in evaporation rate. Moreover, the pentacene thin film was created with the vacuum deposition method as a semi-conductor layer 50. What repeated sublimation purification 10 times and refined it was used for pentacene. Vacuum deposition conditions fix a substrate above the boat for vacuum evaporatio, and are [about] about substrate temperature. -It adjusted to 190 and the degree of vacuum was decompressed even to 2×10^{-6} Torr. Vacuum deposition was performed in the thickness of 0.5 micrometers at the rate of 1nm/m after that. Thus, the produced pentacene is produced on amorphous. Furthermore, from on the, as a source electrode 60, vacuum deposition of the indium was carried out so that it might become width of face of 100 micrometers, and size with a thickness of 0.2 micrometers and the die-length direction of the drain electrode 40 and the die-length direction might cross at right angles using the mask made from nickel. The film production conditions in this case are 6nm/m in evaporation rate under 30 degrees C of substrates. The silicon wafer used as a substrate was used for the gate electrode 20. Thus, the created thin film transistor operated as 0.5 micrometers of channel length, and an electric field effect mold thin film transistor with a channel width of 100 micrometers. The electrical-potential-difference dependency between source-drains of the current between source-drains in various gate voltage of the component created by doing in this way by drawing 17 is shown. The current between the source-drains in drawing deducts the leakage current [in / in the electrical potential difference between source-drains / 0 V:00]. Even if gate voltage became high with -50V, it was shown that a saturation region appears [a source-drain electrical potential difference] less than [10V].

[0057]

[Example 4] The neutral detergent (Iuchi Seieido: pure software) which diluted n mold silicon substrate with pure water 5 times performed ultrasonic cleaning for 20 minutes, and detergent clearance was performed in ultrasonic cleaning for 20 minutes among pure water after that. Furthermore, the ultraviolet-rays-ozone scrubber performed UV irradiation washing for 20 minutes after that. Thus, on the washed substrate, vacuum deposition of the golden drain electrode was carried out in width of face of 100 micrometers, and size with a thickness of 0.1 micrometers. The film production conditions in this case are 6nm/m in evaporation rate under 30 degrees C of substrates. Thus, when the side face of the created electrode was observed with the scanning electron microscope and the angle on an electrode side face and the front face of an insulating layer to make was searched for from the electron microscope image, it was about 120 degrees. Polymethylmethacrylate (PMMA) was dissolved in chloroform from on the gate electrode, and the film was produced in thickness of 0.4 micrometers with the spin coat method as an insulator layer from the solution. Then, spreading film production of the top from an insulator layer to the Polly 3-hexyl thiophene thin film was carried out from the chloroform solution. The thickness at this time was 1 micrometer. Furthermore, from on the, as a source electrode, the die-length direction carried out vacuum deposition of the gold in width of face of 100 micrometers, and size with a thickness of 0.1 micrometers, so that it might intersect perpendicularly with the die-length direction of a drain electrode. The film production conditions in this case are 6nm/m in evaporation rate

under 30 degrees C of substrates. The silicon wafer used as a substrate was used for the gate electrode. The gate voltage dependency of the current between source-drains in electrical-potential-difference 4 V:00 between source-drains of the component created by doing in this way by drawing 18 is shown. The subthreshold level slopes were 0.2 V/decade.

[0058]

[Example 5] The neutral detergent (Iuchi Seieido: pure software) which diluted with pure water n mold silicon substrate which raised 300nm of silicon thermal oxidation film as an insulating layer 5 times performed ultrasonic cleaning for 20 minutes, and detergent clearance was performed in ultrasonic cleaning for 20 minutes among pure water after that. Furthermore, the ultraviolet-rays-ozone scrubber performed UV irradiation washing for 20 minutes after that. Thus, on the washed substrate, vacuum deposition of the golden drain electrode was carried out in width of face of 100 micrometers, and size with a thickness of 0.1 micrometers. The film production conditions in this case are 6nm/m in evaporation rate under 30 degrees C of substrates. Thus, when the side face of the created electrode was observed with the scanning electron microscope and the angle on an electrode side face and the front face of an insulating layer to make was searched for from the electron microscope image, it was about 120 degrees. Surface non-dense water treatment was performed by dipping the substrate in which the golden electrode was formed, for 10 minutes in the chloroform solution of octadecyl trichlorosilane. Moreover, the pentacene thin film which is a p type semiconductor was created with the vacuum deposition method. What repeated sublimation purification 10 times and refined it was used for pentacene. Vacuum deposition conditions fixed the substrate above the boat for vacuum evaporation, adjusted substrate temperature to about 45 degrees C, and decompressed the degree of vacuum even to 2×10^{-6} Torr. Vacuum deposition was performed in the thickness of 500nm at the rate of 1nm/m after that. Furthermore, from on the, as a source electrode, the die-length direction carried out vacuum deposition of the gold in width of face of 100 micrometers, and size with a thickness of 0.1 micrometers, so that it might intersect perpendicularly with the die-length direction of a drain electrode. The film production conditions in this case are 6nm/m in evaporation rate under 30 degrees C of substrates. The silicon wafer used as a substrate was used for the gate electrode. Thus, the created thin film transistor operated as 0.5 micrometers of channel length, and an electric field effect mold thin film transistor with a channel width of 100 micrometers. A wavy line shows the gate voltage dependency of the current between source-drains in electrical-potential-difference 4 V:00 between source-drains of the component created by doing in this way by drawing 19. The subthreshold level slopes were 0.15 V/decade, and the OFF state current was 10-8A set. The component using the indium as a source electrode was produced completely like this. Under the present circumstances, indiums are width of face of 100 micrometers, and size with a thickness of 0.1 micrometers, and the die-length direction carried out vacuum deposition so that it might intersect perpendicularly with the die-length direction of a drain electrode. Film production conditions are 6nm/m in evaporation rate under 30 degrees C of substrates. Thus, the created thin film transistor operated as 0.5 micrometers of channel length, and an electric field effect mold thin film transistor with a channel width of 100 micrometers. A continuous line shows the gate voltage dependency of the current between source-drains in electrical-potential-difference 4 V:00 between source-drains of the component created by doing in this way by drawing 19. The subthreshold level slopes were 0.2 V/decade, and the OFF state current was 10-10A set. That is, in the component completely created similarly, although the subthreshold level slope showed the almost comparable value compared with the case where both two electrodes are used as gold when the electrode which creates the two electrodes of the source and a drain to the degree of an insulating layer was used as gold and the electrode created to the degree of a semi-conductor layer was made into an indium, the double or more figures OFF state current was mitigated.

[0059]

[Example 6] The neutral detergent (Iuchi Seieido: pure software) which diluted with pure water n mold silicon substrate which raised 50nm of silicon thermal oxidation film as an insulating layer performed ultrasonic cleaning, and potential clearance was performed in ultrasonic cleaning among pure water after that. Furthermore, the ultraviolet-rays-ozone scrubber performed UV irradiation washing for 20 minutes

after that. Thus, on the washed substrate, vacuum deposition of the drain electrode of aluminum was carried out in width of face of 100 micrometers, and size with a thickness of 0.1 micrometers. The film production conditions in this case are 30 degrees C of substrates, and are 6nm/m in evaporation rate. Moreover, the methyl perylene thin film which is a n-type semiconductor was created with the vacuum deposition method. Vacuum deposition conditions fix a substrate above the boat for vacuum evaporation, and are [about] about substrate temperature. -It adjusted to 130 degrees C and the degree of vacuum was decompressed even to 2×10^{-6} Torr. Vacuum deposition was performed in the thickness of 500nm at the rate of 10nm/m after that. Furthermore, from on the, as a source electrode, the paste-like silver particle was produced by the head drawing method so that the die-length direction of a drain electrode and the die-length direction might cross at right angles in width of face of 100 micrometers, and size with a thickness of 0.1 micrometers. The gate voltage dependency of the current between source-drains in electrical-potential-difference 4 V:00 between source-drains of the component created by doing in this way by drawing 20 is shown. By making it aluminum and silver, the OFF state current can be pressing down the electrode to the 10-10A set.

[0060]

[Example 7] The neutral detergent (Iuchi Seieido: pure software) which diluted with pure water n mold silicon substrate (area 20x35 mm, thickness: 1.0mm) which raised 300nm of silicon thermal oxidation film as an insulating layer 30 5 times performed ultrasonic cleaning for 20 minutes, after that, ultrasonic cleaning was performed for 20 minutes among pure water, and detergent clearance was performed. Furthermore, UV irradiation washing was performed for 20 minutes to the bottom of an oxygen ambient atmosphere after that using the ultraviolet-rays-ozone scrubber. Thus, on the washed substrate, vacuum deposition of the golden drain electrode 40 was carried out using the mask made from nickel so that it might become width of face of 100 micrometers, and size with a thickness of 0.2 micrometers. The film production conditions in this case are 30 degrees C in substrate temperature, and are 6nm/m in evaporation rate. Moreover, the pentacene thin film was created with the vacuum deposition method as a semi-conductor layer 50. What repeated sublimation purification 10 times and refined it was used for pentacene. Vacuum deposition conditions fixed the substrate above the boat for vacuum evaporation, and decompressed the degree of vacuum even to 2×10^{-6} Torr. Vacuum deposition was performed in the thickness of 0.5 micrometers at the rate of 1nm/m after that. Furthermore, from on the, as a source electrode 60, vacuum deposition of the indium was carried out so that it might become width of face of 100 micrometers, and size with a thickness of 0.2 micrometers and the die-length direction of the drain electrode 40 and the die-length direction might cross at right angles using the mask made from nickel. Under the present circumstances, on both sides of a spacer with a thickness of 1mm, it floats, the mask of nickel is arranged from a substrate, an electrode material turns also to the bottom of a mask by vacuum evaporation of a golden electrode, and it was made for an electrode side face to become blunt. Moreover, the film production conditions in this case are 6nm/m in evaporation rate under 30 degrees C of substrates. Thus, when the side face of the created electrode was observed with the scanning electron microscope and the angle on an electrode side face and the front face of an insulating layer to make was searched for from the electron microscope image, it was about 150 degrees. The silicon wafer used as a substrate was used for the gate electrode 20. The gate voltage dependency of the current between source-drains in electrical-potential-difference 4 V:00 between source-drains of the component created by doing in this way by drawing 17 is shown. Even if it changed gate voltage, a drain current hardly changed from drawing, but it became clear that the modulation effectiveness by the gate does not show up.

[0061]

[Effect of the Invention] Since the component structure consists of laminating thin films, the organic thin film transistor of this invention can be manufactured at a simple finishing process, and adaptation of a printing technique becomes very easy. Moreover, simultaneously, compound-ization of the component to the direction of a laminating becomes easy, and three-dimensions integration becomes easy. Furthermore, since an organic-semiconductor layer is the structure covered with a source electrode, it works also as closure effectiveness of a semi-conductor layer, degradation of the semi-conductor by

oxygen or moisture is prevented, and the reinforcement of a component is brought about. Since channel length is controllable by the thickness of an organic-semiconductor layer and channel length 1 micrometer or less is also realized easily, it becomes very easy to low-battery-actuation-ize the component structure of the organic thin film transistor of this invention. Using an organic material, by being adapted in a printing technique, the formation of a film component, the formation of a large area component, and the formation of a flexible component are possible, and shock resistance also improves.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The typical sectional view of the component structure called bottom product contact structure by the organic thin film transistor of a conventional type

[Drawing 2] The typical sectional view of the component structure called top contact structure by the organic thin film transistor of a conventional type

[Drawing 3] The typical sectional view of an example of the organic thin film transistor in this invention

[Drawing 4] The enlarged drawing of the important part of drawing 3

[Drawing 5] The typical sectional view of an example of the organic thin film transistor in this invention

[Drawing 6] The enlarged drawing of the important part of drawing 5

[Drawing 7] The typical sectional view of an example of a component to which the insulator layer was attached between the source-drains of the organic thin film transistor in this invention

[Drawing 8] The typical sectional view of an example of a component which has the source or the drain electrode configuration of this invention

[Drawing 9] The gate voltage dependency of the drain current in drain electrical-potential-difference 4V of $\theta =$ about 120 degrees organic thin film transistor

[Drawing 10] The gate voltage dependency of the drain current in drain electrical-potential-difference 4V of $\theta =$ about 150 degrees organic thin film transistor

[Drawing 11] The schematic diagram of the useful manufacture process process for the organic thin film transistor formation in this invention (1)

[Drawing 12] The schematic diagram of the useful manufacture process process for the organic thin film transistor formation in this invention (2)

[Drawing 13] The schematic diagram of the useful manufacture process process for the organic thin film transistor formation in this invention (3)

[Drawing 14] The schematic diagram of the useful manufacture process process for the organic thin film transistor formation in this invention (4)

[Drawing 15] The schematic diagram of the useful manufacture process process for the organic thin film transistor formation in this invention (5)

[Drawing 16] The gate voltage dependency of the current between source-drains in electrical-potential-difference 2 V:00 between source-drains

[Drawing 17] The electrical-potential-difference dependency between source-drains of the current between source-drains in various gate voltage

[Drawing 18] The correlation curve of the drain current in drain electrical-potential-difference 4V when using the spreading thin film of the poly alkyl thiophene for a semi-conductor layer, and gate voltage

[Drawing 19] The correlation curve of the drain current in drain electrical-potential-difference 4V, and gate voltage. Both the drain current-gate voltage (I_d - V_G) curve at the time of a continuous line using pentacene for a semi-conductor barrier layer as a p type semiconductor, and using gold and an indium

for the source and a drain electrode and a wavy line are a drain current-gate voltage (I_d - V_G) curve when the source and a drain electrode consist of gold.

[Drawing 20] The correlation curve of the drain current in drain electrical-potential-difference 4V, and gate voltage. The drain current-gate voltage (I_d - V_G) curve at the time of using methyl perylene for a semi-conductor barrier layer as a n-type semiconductor, and using silver and aluminum for the source and a drain electrode

[Description of Notations]

- 10 Substrate in this Invention
- 11 Substrate in Bottom Product Contact Structure
- 12 Substrate in Top Contact Structure
- 20 Gate in this Invention
- 21 Gate in Bottom Product Contact Structure
- 22 Gate in Top Contact Structure
- 30 Insulating Layer in this Invention
- 31 Insulating Layer in Bottom Product Contact Structure
- 32 Insulating Layer in Top Contact Structure
- 40 Drain or Source in this Invention
- 41 Drain or Source in Bottom Product Contact Structure
- 42 Drain or Source in Top Contact Structure
- 50 Semi-conductor Layer in this Invention
- 51 Semi-conductor Layer in Bottom Product Contact Structure
- 52 Semi-conductor Layer in Top Contact Structure
- 60 Source or Drain in this Invention
- 61 Source or Drain in Bottom Product Contact Structure
- 62 Source or Drain in Top Contact Structure
- 70 Channel Field of Thin Film Transistor in this Invention
- 80 Insulator Layer in this Invention
- 90 Protective Coat in this Invention

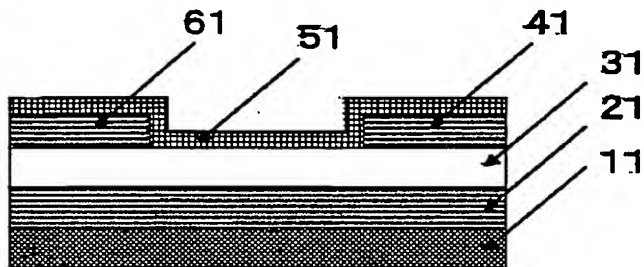
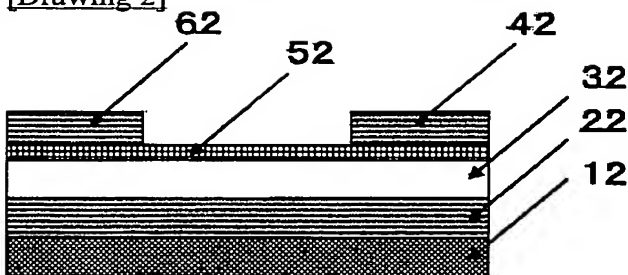
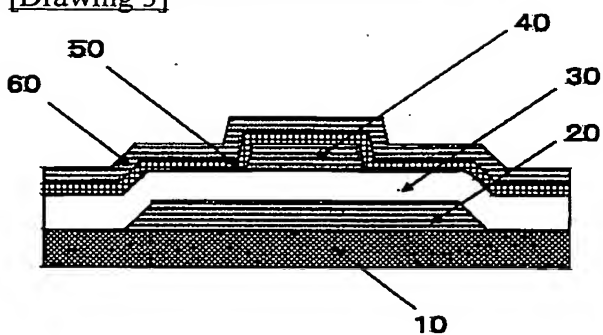
[Translation done.]

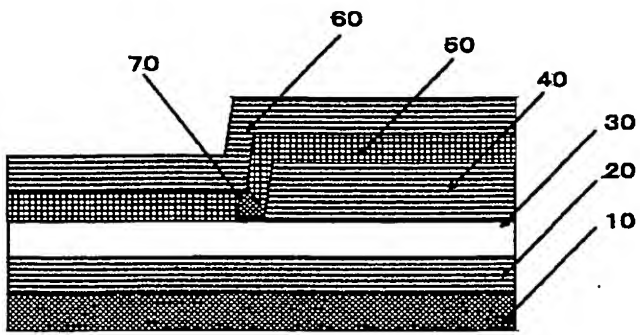
*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

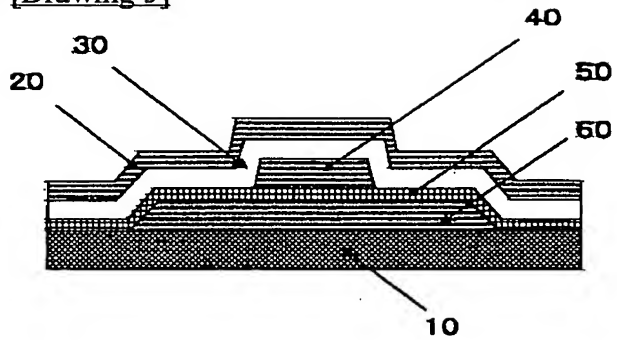
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

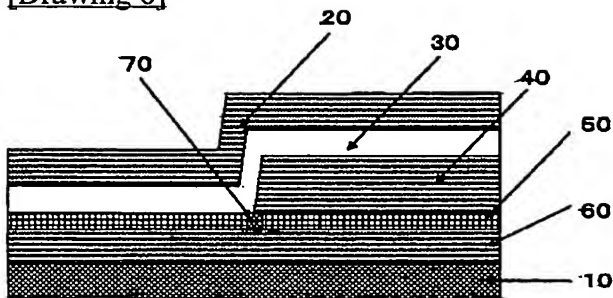
[Drawing 1][Drawing 2][Drawing 3][Drawing 4]



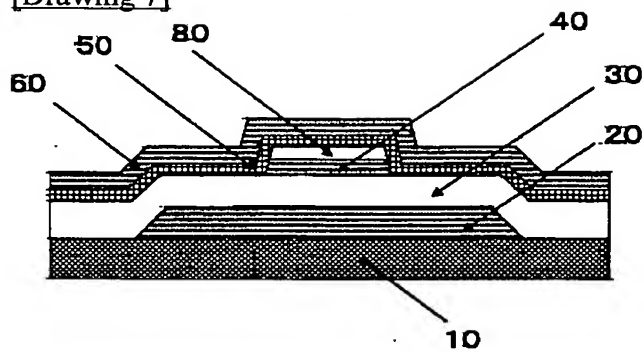
[Drawing 5]



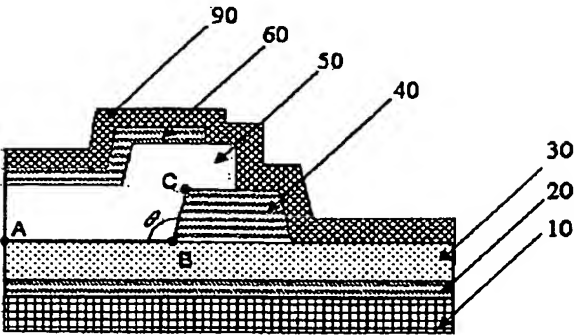
[Drawing 6]



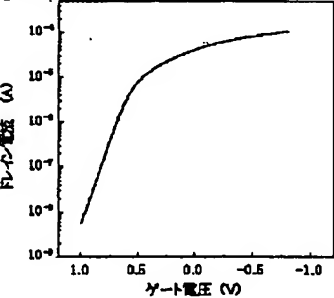
[Drawing 7]



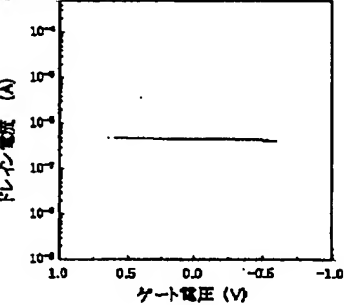
[Drawing 8]



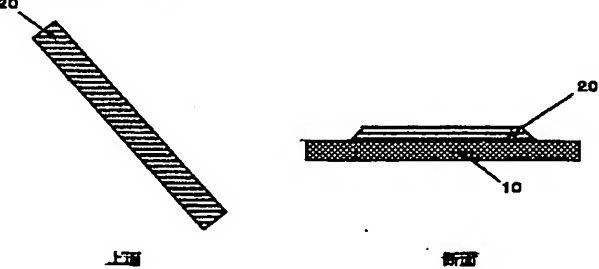
[Drawing 9]



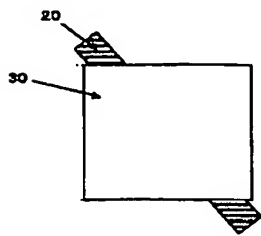
[Drawing 10]



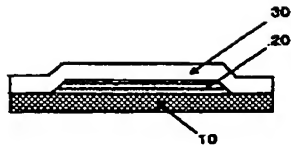
[Drawing 11]



[Drawing 12]

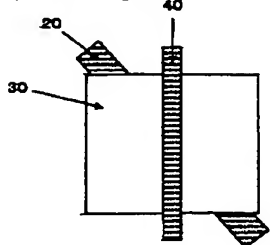


上面

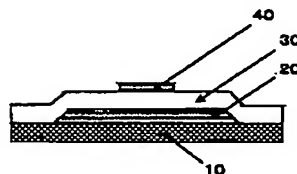


側面

[Drawing 13]

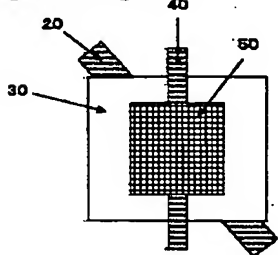


上面

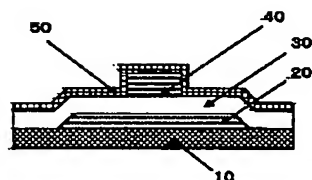


側面

[Drawing 14]

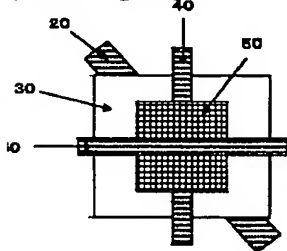


上面

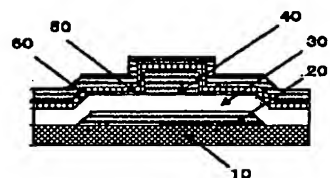


側面

[Drawing 15]

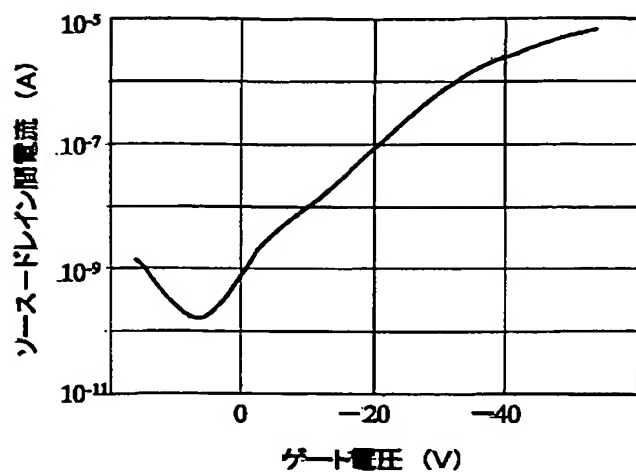


上面

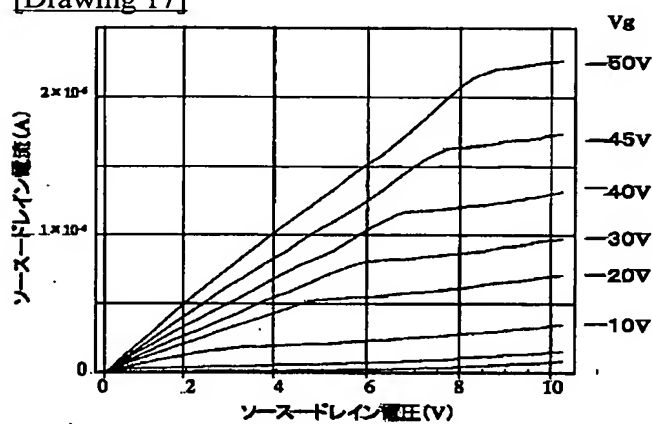


側面

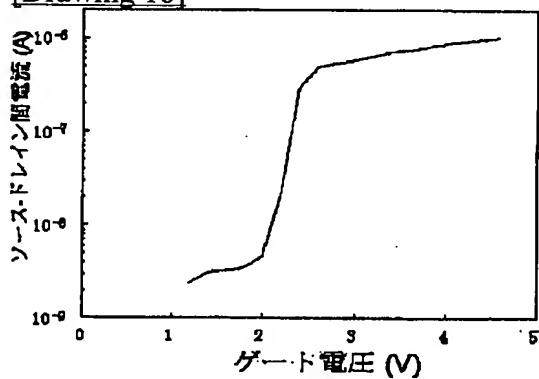
[Drawing 16]



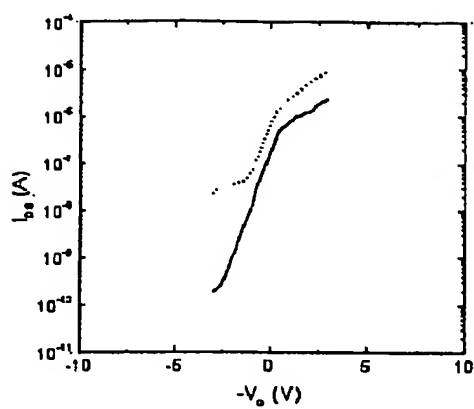
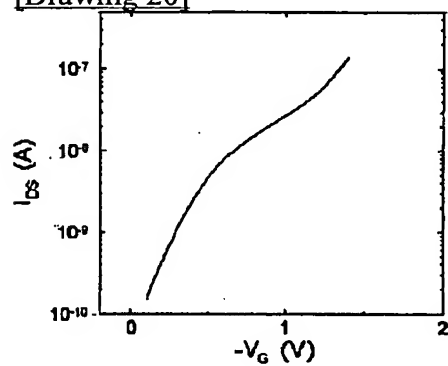
[Drawing 17]



[Drawing 18]



[Drawing 19]

[Drawing 20]

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-258265
(P2003-258265A)

(43) 公開日 平成15年9月12日 (2003.9.12)

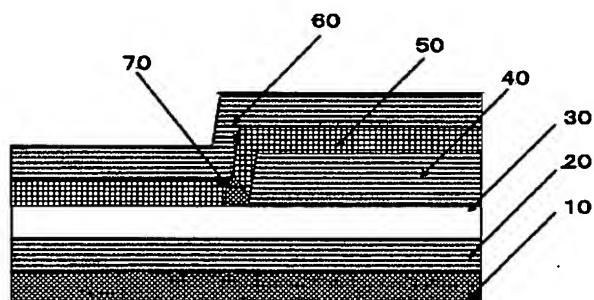
(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 8 B 5 F 0 8 3
21/8247			6 1 6 T 5 F 1 0 1
27/105			6 1 6 V 5 F 1 1 0
29/788			6 1 7 K
29/792		29/28	
審査請求 未請求 請求項の数19 O L (全 14 頁) 最終頁に続く			
(21) 出願番号	特願2002-240449 (P2002-240449)	(71) 出願人	301021533 独立行政法人産業技術総合研究所 東京都千代田区霞が関1-3-1
(22) 出願日	平成14年8月21日 (2002.8.21)	(72) 発明者	鎌田 俊英 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
(31) 優先権主張番号	特願2001-400917 (P2001-400917)	(72) 発明者	吉田 学 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
(32) 優先日	平成13年12月28日 (2001.12.28)		
(33) 優先権主張国	日本 (J P)		
最終頁に続く			

(54) 【発明の名称】 有機薄膜トランジスタ

(57) 【要約】

【課題】 トランジスタ特性を上げるためには、電流が流れるチャンネル（ソースとドレイン間の距離）を狭くしていく必要がある。従来は、フォトリソグラフィ技術や電子線リソグラフィ技術など、高度な微細加工技術を適応して、チャンネル長を短くすることが行われてきた。これらの手法では、適応する微細加工技術が極めて高度で高価であるため、低価格で高性能な素子を作ることが困難であった。

【解決手段】 有機薄膜トランジスタの場合、薄膜の厚さは特別な微細加工技術を適応しなくとも極めて薄くできるという点に着目し、この特徴をソースドレイン電極間距離の制御に適応すれば、極めて狭いチャンネル長を高度な微細加工技術を適応しなくとも創製可能となり、その結果として高い性能を有する有機薄膜トランジスタが簡便に製造できることが判明した。



【特許請求の範囲】

【請求項 1】 基板上に、ゲート電極、絶縁層、ソース又はドレイン、半導体層及びドレイン又はソースを有する薄膜トランジスタにおいて、該基板上の一部に該ゲート電極を設け、該ゲート電極及び該基板を該絶縁層により覆い、該絶縁層上であって該ゲート電極に対応する領域の一部に該ソース又はドレインを設け、該ソース又はドレイン及び該絶縁層を半導体層により覆い、該半導体層上であって該ソース又はドレインに対応する領域のうち、該ソース又はドレインが該ゲート電極と重なり合っている領域を覆うように該ドレイン又はソースを形成したことを特徴とする薄膜トランジスタ。

【請求項 2】 基板上に、ソース又はドレイン、半導体層、ドレイン又はソース、絶縁層及びゲート電極を有する薄膜トランジスタにおいて、該基板上の一部に該ソース又はドレインを設け、該ソース又はドレイン及び該基板を該半導体層により覆い、該半導体層上であって該ソース又はドレインに対応する領域の一部にドレイン又はソースを設け、該ドレイン又はソースを絶縁層により覆い、該絶縁層上において該ドレイン又はソースに対応する領域のうち、該ドレイン又はソースが該ソース又はドレインと重なり合っている領域に該ゲート電極を設けたことを特徴とする薄膜トランジスタ。

【請求項 3】 上記請求項 1 に記載の薄膜トランジスタにおいて、上記ソース又はドレインの上部に絶縁層を設けたことを特徴とする薄膜トランジスタ。

【請求項 4】 上記請求項 1 乃至 3 に記載の薄膜トランジスタにおいて、上記半導体層が有機半導体材料で構成されることを特徴とする薄膜トランジスタ。

【請求項 5】 上記請求項 1 乃至 4 に記載の薄膜トランジスタにおいて、上記半導体層の厚さが 1 μ m 以下であることを特徴とする薄膜トランジスタ。

【請求項 6】 上記請求項 1 乃至 5 に記載の薄膜トランジスタにおいて、上記ソース及び上記ドレインは、仕事関数の異なる材質で構成されることを特徴とする薄膜トランジスタ。

【請求項 7】 上記請求項 6 に記載の薄膜トランジスタにおいて、上記ソース又はドレインの一方は、仕事関数の大きい材料である金、白金、パラジウム、銅、ニッケル、インジウム-錫酸化物又はポリチオフェン若しくはこれらを複数組み合わせた材料から選択され、上記ソース又はドレインの他方は、仕事関数の小さい材料であるインジウム、アルミニウム、銀、カルシウム、マグネシウム又はリチウム若しくはこれらを複数組み合わせた材料から選択されることを特徴とする薄膜トランジスタ。

【請求項 8】 上記請求項 7 に記載の薄膜トランジスタにおいて、上記半導体層が p 型の有機半導体材料であり、上記ゲート電極に近い方の上記ソース又はドレイン電極は、仕事関数の大きな材料により構成し、上記ゲート電極に遠い方の上記ソース又はドレイン電極は、仕事

関数の小さな材料により構成されることを特徴とする薄膜トランジスタ。

【請求項 9】 上記請求項 8 に記載の薄膜トランジスタにおいて、上記 p 型の半導体は、ペンタセン、テトラセン、チオフェン、フタロシアニン及びこれらの末端が置換された誘導体並びにポリチオフェン、ポリフェニレン、ポリフェニレンビニレン、ポリフルオレン及びこれらの末端もしくはその側鎖が置換された誘導体のポリマーの中から選択されたものであることを特徴とする薄膜トランジスタ。

【請求項 10】 上記請求項 7 に記載の薄膜トランジスタにおいて、上記半導体層が n 型の有機半導体材料であり、上記ゲート電極に近い方の上記ソース又はドレイン電極は、仕事関数の小さな材料により構成し、上記ゲート電極に遠い方の上記ソース又はドレイン電極は、仕事関数の大きな材料により構成されることを特徴とする薄膜トランジスタ。

【請求項 11】 上記請求項 10 に記載の薄膜トランジスタにおいて、上記 n 型の半導体は、ペリレンテトラカルボン酸二無水物、ナフタレンテトラカルボン酸二無水物、フッ素化フタロシアニン及びこれらの末端が置換された誘導体の中から選択されたものであることを特徴とする薄膜トランジスタ。

【請求項 12】 基板上に、ゲート電極、絶縁層、ソース又はドレイン、半導体層及びドレイン又はソースを有する薄膜トランジスタの製造方法において、該基板上の一部に該ゲート電極を設け、該ゲート電極及び該基板を該絶縁層により覆い、該絶縁層上であって該ゲート電極に対応する領域の一部に該ソース又はドレインを設け、該ソース又はドレイン及び該絶縁層を半導体層により覆い、該半導体層上であって該ソース又はドレインに対応する領域のうち、該ソース又はドレインが該ゲート電極と重なり合っている領域を覆うように該ドレイン又はソースを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 13】 基板上に、ソース又はドレイン、半導体層、ドレイン又はソース、絶縁層及びゲート電極を有する薄膜トランジスタの製造方法において、該基板上の一部に該ソース又はドレインを設け、該ソース又はドレイン及び該基板を該半導体層により覆い、該半導体層上であって該ソース又はドレインに対応する領域の一部にドレイン又はソースを設け、該ドレイン又はソースを絶縁層により覆い、該絶縁層上において該ドレイン又はソースに対応する領域のうち、該ドレイン又はソースが該ソース又はドレインと重なり合っている領域に該ゲート電極を設けることを特徴とする薄膜トランジスタの製造方法。

【請求項 14】 上記請求項 12 又は 13 に記載の薄膜トランジスタの製造方法において、上記トランジスタを構成する要素の少なくとも一部が、溶液を塗布又は付着

10

20

30

40

50

することによって作製されることを特徴とする薄膜トランジスタの製造方法。

【請求項 15】 上記請求項 1 乃至 11 に記載の薄膜トランジスタを用いて作製することを特徴とする表示素子。

【請求項 16】 上記請求項 15 に記載の表示素子において、上記表示素子の表示部が、電界発光素子、液晶素子又は電気泳動素子であることを特徴とする表示素子。

【請求項 17】 上記請求項 1 乃至 11 に記載の薄膜トランジスタにおいて、上記ゲート電極に接触した上記絶縁層の全部もしくは一部に強誘電体材料を用いたことを特徴とするメモリ素子。

【請求項 18】 上記請求項 17 に記載の上記強誘電体材料が有機誘電体材料であることを特徴とするメモリ素子。

【請求項 19】 上記請求項 1 乃至 6 に記載の薄膜トランジスタを複数配置したことを特徴とする薄膜トランジスタ集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタに関するもので、特に半導体層に有機半導体を用いた薄膜トランジスタ (TFT) の特性向上をもたらしとともに、印刷等の簡便なプロセスで素子を作成することを可能にする技術に関するものである。

【0002】

【従来の技術】近年、有機半導体薄膜トランジスタを使用する、様々な集積回路技術が提案されるようになってきた。このような集積回路は、印刷技術などの簡便な製造方法で作成されることが期待されるとともに、大面積加工や、低コスト製造プロセスが実現可能なこと、さらに柔軟な基板上への作成に適合性がよいこと等が利点とされ、携帯ディスプレイや電子値札、電子荷札などの電子タグ等のように、低価格で供給される電子機器の集積回路技術への適合性が良いとの期待を集めている。

【0003】有機半導体を用いた薄膜トランジスタの開発は、1980年代後半から徐々に活発になってきており、近年では基本性能としてアモルファスシリコンの薄膜トランジスタの特性を越えるに至っている。その代表的な例としては、シェーンらによって作成された、有機半導体としてペンタセンを用いた薄膜トランジスタの性能が、サイエンス (Science)、287 巻、1022 頁 (2000 年) に報告されている。

【0004】これまで、有機半導体薄膜の基本的な素子構造は、図 1 に示すように、基板 11 上にゲート 21 を作成し、そのゲート 21 上に絶縁膜 31 を積層し、その上にソース 61 及びドレイン 41 を並列にかつ同時に作成し、その上から半導体層 51 を積層するボトムコンタクト構造といわれるものか、もしくは図 2 に示すよう

上に絶縁膜 32 を積層し、その上にさらに半導体層 52 を積層し、その上からソース 62 及びドレイン 42 を並列かつ同時に作成するトップコンタクト構造と呼ばれるものが一般的であった。これらの素子構造では、いずれもソース及びドレインが並列に、かつ同時に作成されることが特徴的である。薄膜トランジスタの高速応答性、低電圧駆動などの基本特性の向上を図るためには、ソースとドレイン間の距離、すなわちチャネル長を狭めることが最も重要な要因の一つである。しかし、図 1 や 2 の様な構造を取る場合、如何にして狭いソースとドレイン間距離を得るかは基本的に微細加工技術に依るところが多く、これまでも様々な手法が検討されてきたが、未だ優れた手法が確立されていないという課題を有している。

【0005】ソースおよびドレインを並列かつ同時に作成する方法としては、マスクを用いて、そこに真空蒸着あるいはスパッタリングなどの真空中における電極形成手法を適用するのが最も簡便な方法の一つとして知られている。しかし、この方法では、通常の汎用マスクを用いる限り 10 μ m 以下の狭いソースドレイン間距離を得ることは困難であるという問題点を有している。また、微細加工に適用できる特殊マスクを用いると、電極形成 1 回でマスクが目詰まりしてしまい、大量加工に適さないという問題を生じている。

【0006】より狭いチャネル長を得る、最も代表的な技術はフォトリソグラフィ技術であり、有機薄膜トランジスタに関しても、フォトリソグラフィ技術により狭いチャネル長を形成し、それにより優れた薄膜トランジスタ特性が得られるということが、Applied Physics Letters、76 巻、1941 頁、2000 年等にて報告されている。しかし、この技術を適用したのでは、薄膜トランジスタの半導体層が有機材料で構成されているため、フォトマスクを有機溶媒で洗い流すという操作を導入することが困難である。また、フォトリソグラフィが適用できる製造工程が考案されたとしても、それにより薄膜トランジスタとしての性能は発揮されるものの、フォトリソグラフィ技術に要するコスト、時間等を考慮すると、薄膜トランジスタの材料として有機材料を用いることで、低コスト、低エネルギーでの生産を実現するという特徴が発揮できなくなるといった問題点を有している。

【0007】フォトリソグラフィ技術よりもさらに狭いチャネル長を得る技術としては、電子線リソグラフィ技術を用いることが知られている。電子線リソグラフィ技術を用いて、30nm という極めて狭いチャネル長を実現し、それによりソースドレイン間電圧を 1V で、0.35V/decade という低電圧駆動を可能にする技術が報告されている。(Applied Physics Letters、76 巻、1941 頁、2000 年) しかし、この技術では電子線リソグラフィ

10

20

30

40

50

という極めて高度で高価な技術を適応しなければならず、薄膜トランジスタの材料として有機材料を用いて、印刷技術など簡便な製造プロセスを適応するという特徴が発揮できなくなるという問題点を有している。また、スルーレートも遅くなってしまうという問題点も有している。

【0008】印刷により素子を作成する技術は、サイエンス (Science)、290 巻、2123 頁 (2000 年) に報告されている。ここでは、細いスペーサー棒をソースドレイン間電極に設置することで、5 μ m の狭いチャネル長を実現している。しかし、当技術では、チャネル長はスペーサーの幅に依存しており、如何に細いスペーサーを作るかという微細加工技術に依存しなければならないという問題点を有している。

【0009】こうしたチャネル長の制御を、微細加工技術によらないトランジスタとしては、静電誘導型有機トランジスタが報告されている。(Nature、372 巻、344 頁、1994 年、あるいは Synthetic Metals、111 巻、11 頁、2000 年) このトランジスタ構造では、チャネル長を作成する膜厚で制御することができる。しかし、この場合薄膜トランジスタの動作原理が異なってしまうため、従来適応されてきていた薄膜トランジスタとして導入するには、回路設計指針を変えていかなければならない。また、ソースドレインの作成は容易になるものの、ゲートの作成が極めて難しいという問題点を有している。

【0010】

【発明が解決しようとする課題】トランジスタ特性を上げるためには、電流が流れるチャネル (ソースとドレイン間の距離) を狭くしていくことが必要である。従来は、フォトリソグラフィ技術や電子線リソグラフィ技術など、高度な微細加工技術を適応して、チャネル長を短くすることが行われてきた。これらの手法では、適応する微細加工技術が極めて高度で高価であるため、低価格で高性能な素子を作ることが困難であった。また、チャネル長を著しく狭くすると、ソースドレイン間での漏洩電流が大きくなってしまい、トランジスタ特性としては電流増幅比 (オン / オフ比) が大きく取れないという問題が生じていた。

【0011】本発明は、トランジスタの基本特性の向上を左右するチャネル長の制御を、リソグラフィなどの特殊微細加工技術を適応せずに実現可能にするトランジスタの基本素子構造を開発するとともに、その製造方法を提供するものである。また、本発明は、チャネル長が短くなった場合における、ソースドレイン間での漏洩電流を軽減させる薄膜トランジスタを提供するものである。

【0012】

【課題を解決するための手段】有機薄膜トランジスタの場合、薄膜の厚さは特別な微細加工技術を適応しなくと

も極めて薄くできるという点に着目し、この薄膜の厚さをソースドレイン電極間距離に適応することにより、極めて狭いチャネル長を高度な微細加工技術を適応しなくとも創製可能とした。また、ソース電極とドレイン電極を仕事関数の異なる材料で形成することによりソースドレイン間での漏洩電流を軽減させることができた。

【0013】即ち、本発明によれば、図 3 に示すような、基板 10 上に、ゲート電極 20、絶縁層 30、ソース又はドレイン 40、半導体層 50 及びドレイン又はソース 60 を有する薄膜トランジスタにおいて、該基板 10 上の一部に該ゲート電極 20 を設け、該ゲート電極 20 及び該基板 10 を該絶縁層 30 により覆い、該絶縁層 30 上であって該ゲート電極 20 に対応する領域の一部に該ソース又はドレイン 40 を設け、該ソース又はドレイン 40 及び該絶縁層 30 を半導体層 50 により覆い、該半導体層 50 上であって該ソース又はドレイン 40 に対応する領域のうち、該ソース又はドレイン 40 が該ゲート電極 20 と重なり合っている領域を覆うように該ドレイン又はソース 60 を形成したことを特徴とする薄膜トランジスタが提供される。図 3 の構造の重要部分を図 4 に拡大して示す。本トランジスタ構造においては、チャネル 70 がソース又はドレイン 40 とドレイン又はソース 60 の間に形成され、その長さ (チャネル長) は半導体層 50 の膜厚により規定されるものである。

【0014】また、本発明によれば、図 5 に示すような、基板 10 上に、ソース又はドレイン 60、半導体層 50、ドレイン又はソース 40、絶縁層 30 及びゲート電極 20 を有する薄膜トランジスタにおいて、該基板 10 上の一部に該ソース又はドレイン 60 を設け、該ソース又はドレイン 60 及び該基板 10 を該半導体層 50 により覆い、該半導体層 50 上であって該ソース又はドレイン 60 に対応する領域の一部にドレイン又はソース 40 を設け、該ドレイン又はソース 40 を絶縁層 30 により覆い、該絶縁層 30 上において該ドレイン又はソース 40 に対応する領域のうち、該ドレイン又はソース 40 が該ソース又はドレイン 60 と重なり合っている領域に該ゲート電極 20 を設けたことを特徴とする薄膜トランジスタが提供される。図 5 の構造の重要部分を図 6 に拡大して示す。本トランジスタ構造においては、チャネル 70 がソース又はドレイン 40 とドレイン又はソース 60 の間に形成され、その長さ (チャネル長) は半導体層 50 の膜厚により規定される。

【0015】また、本発明によれば、図 7 に示すように、図 3 に示す薄膜トランジスタにおいて、上記ソース又はドレイン 40 の上部に絶縁層 80 を設けたことを特徴とする薄膜トランジスタが提供される。

【0016】また、本発明によれば、上記図 3、5、7 で示される薄膜トランジスタにおいて、半導体層 50 が有機半導体材料で構成されることを特徴とする薄膜トランジスタが提供される。

【0017】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、半導体層50の厚さが1 μ m以下であることを特徴とする薄膜トランジスタが提供される。

【0018】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、ソース又はドレイン40および60の一方は、仕事関数の大きい材料である金、白金、パラジウム、銅、ニッケル、インジウム-錫酸化物又はポリチオフェン若しくはこれらを複数組み合わせた材料から選択され、ソース又はドレイン40および60の他方は、仕事関数の小さい材料であるインジウム、アルミニウム、銀、カルシウム、マグネシウム又はリチウム若しくはこれらを複数組み合わせた材料から選択されることを特徴とする薄膜トランジスタが提供される。

【0019】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、半導体層50がp型の有機半導体材料であり、ゲート電極20に近い方の上記ソース又はドレイン電極40は、仕事関数の大きな材料により構成し、ゲート電極20に遠い方のソース又はドレイン電極60は、仕事関数の小さな材料により構成されることを特徴とする薄膜トランジスタが提供される。

【0020】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、上記p型の半導体は、ペンタセン、テトラセン、チオフェン、フタロシアニン及びこれらの末端が置換された誘導体並びにポリチオフェン、ポリフェニレン、ポリフェニレンビニレン、ポリフルオレン及びこれらの末端もしくはその側鎖が置換された誘導体のポリマーの中から選択されたものであることを特徴とする薄膜トランジスタが提供される。

【0021】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、半導体層50がn型の有機半導体材料であり、ゲート電極20に近い方のソース又はドレイン電極40は、仕事関数の小さな材料により構成し、ゲート電極20に遠い方のソース又はドレイン電極60は、仕事関数の大きな材料により構成されることを特徴とする薄膜トランジスタが提供される。

【0022】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、上記n型の半導体は、ペリレンテトラカルボン酸二無水物、ナフタレンテトラカルボン酸二無水物、フッ素化フタロシアニン及びこれらの末端が置換された誘導体の中から選択されたものであることを特徴とする薄膜トランジスタが提供される。

【0023】また、本発明によれば、基板10上に、ゲート電極20、絶縁層30、ソース又はドレイン40、半導体層50及びドレイン又はソース60を有する薄膜

トランジスタの製造方法において、該基板10上の一部に該ゲート電極20を設け、該ゲート電極20及び該基板10を該絶縁層30により覆い、該絶縁層30上であって該ゲート電極20に対応する領域の一部に該ソース又はドレイン40を設け、該ソース又はドレイン40及び該絶縁層30を半導体層50により覆い、該半導体層50上であって少なくとも該ソース又はドレイン40に対応する領域のうち、該ソース又はドレイン40が該ゲート電極20と重なり合っている領域を覆うように該ドレイン又はソース60を形成することを特徴とする薄膜トランジスタの製造方法が提供される。

【0024】また、本発明によれば、基板10上に、ソース又はドレイン60、半導体層50、ドレイン又はソース40、絶縁層30及びゲート電極20を有する薄膜トランジスタの製造方法において、該基板10上の一部に該ソース又はドレイン60を設け、該ソース又はドレイン60及び該基板10を該半導体層50により覆い、該半導体層50上であって該ソース又はドレイン60に対応する領域の一部にドレイン又はソース40を設け、該ドレイン又はソース40を絶縁層30により覆い、該絶縁層30上において少なくとも該ドレイン又はソース40に対応する領域のうち、該ドレイン又はソース40が該ソース又はドレイン60と重なり合っている領域に該ゲート電極20を設けることを特徴とする薄膜トランジスタの製造方法が提供される。

【0025】また、本発明によれば、上記薄膜トランジスタの製造方法において、上記トランジスタを構成する要素の少なくとも一部が、溶液を塗布するあるいは付着させることによって作製されることを特徴とする薄膜トランジスタの製造方法が提供される。

【0026】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタを用いて作製することを特徴とする表示素子が提供される。

【0027】また、本発明によれば、上記表示素子の表示部が、電界発光素子、液晶素子又は電気泳動素子であることを特徴とする表示素子が提供される。

【0028】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタにおいて、ゲート電極20に接触した絶縁層30の全部もしくは一部に強誘電体材料を用いたことを特徴とするメモリ素子が提供される。

【0029】また、本発明によれば、上記メモリ素子において、強誘電体材料が有機誘電体材料であることを特徴とするメモリ素子が提供される。

【0030】また、本発明によれば、上記図3、5、7で示される薄膜トランジスタを複数配置したことを特徴とする薄膜トランジスタ集積回路が提供される。

【0031】

【発明の実施形態】本発明において使用される基板10は特に限定されず、いかなる物を用いても良い。一般に好適に用いられる物は、石英などのガラス基板やシリコ

10

20

30

40

50

ンウェハー等であるが、ポリカーボネート、ポリイミドやポリエチレンテレフタレート（PET）などの柔軟性のあるプラスチック基板等も用いることができる。また、基板の配置位置は、ゲート 20 の絶縁層 30 の対極側か、ソースもしくはドレイン 60 の半導体層 50 の対極側かは限定されない。ゲート 20 を先に作製する場合には、基板はゲート 20 と接触してゲート絶縁層 30 の対極側に設置されることが望ましいが、ソースもしくはドレイン 60 を先に作製する場合には、基板はソースもしくはドレイン 60 と接触して半導体層 50 の対極側に設置されることが望ましい。

【0032】本発明において使用されるゲート 20 の材料は、抵抗値の低い材料であればいかなるものを用いても良い。一般に、タングステン、クロム、銀、ニッケル、金や銅などの金属が用いられることが多いが、これに限定されるものではない。その作成法は特に限定されず、いかなる方法を用いても良い。一般に用いられる方法は、メッキ配線などであるが、活版印刷、スクリーン印刷、インクジェット印刷などの溶液から塗布されるあるいは付着される湿式製造プロセスなども適応される。この場合には、銀ペーストの他、チオフェン系導電性高分子（PEDOT）やポリアニリン及びそれらの誘導体などの有機材料による電極をゲート 20 として用いることができる。また、真空蒸着法やスパッタリング法など、上記とは異なる乾式製造プロセスを適応することも可能である。また、素子の安定化、長寿命化、高電荷注入効率化などを図るため、ゲート 20 が複数の材料の混合もしくは積層で構成されたり、あるいは表面処理を施しておくことも可能である。

【0033】本発明において使用されるゲート 20 の形状は特に限定されず、いかなる形状を用いてもよい。一般に好適に用いられるのは、1 μ m 以上 1 mm 以下の幅で、20 nm 以上 10 μ m 以下の厚さの直線配線であるが、これに限定されるものではない。

【0034】本発明において用いるゲートに接触する絶縁層 30 は、より効果的な電界効果を得るために大きな誘電率を有する材料が望ましい。例えば、SiO₂ や Al₂O₃ などがあげられるが、これに限定されるものではなく、素子の柔軟性を付与させるために、ポリメチルメタクリレート（PMMA）、ポリイミド、ポリスチレン、ポリバラキシレン、ポリフッ化ビニリデン（PVF）、ポリビニルフェノール、プルランなどのポリマー誘電体なども用いることができる。さらに、チタン酸ジルコン酸鉛（PZT）等の強誘電体薄膜なども利用可能である。また、半導体薄膜 50 の結晶粒を大きくしたり、配向性を高めたりするために絶縁層 30 の半導体層 50 側をコーティングしたり、絶縁層 30 の表面の配向処理をしたりすることなども可能である。

【0035】本発明において用いる絶縁層 30 の作成法は特に限定されず、いかなる方法を用いても良い。一般

に、真空蒸着やスパッタリングなどの気相成長法が用いられることが多いが、簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布あるいは付着などをして作成する湿式製造プロセスとしての印刷手法なども適応される。また、この時の層の厚さは、一般に用いることができるのは 50 nm 以上 5000 nm 以下であるが、好ましくは 100 nm 以上 500 nm 以下である。

【0036】本発明において用いるゲートに接触する絶縁層 30 の形状は特に限定されず、いかなる形状を用いてもよい。一般には、半導体層 50 よりも広い面積の形状を有することが望ましい。

【0037】本発明において用いるソースもしくはドレイン 40 もしくは 60 の材料としては、一方は、仕事関数大きい材料を用い、他方は仕事関数が小さい材料を用いるが、この際、仕事関数の調整、素子の安定化、長寿命化、高電荷注入効率化などを図るため、ソース及びドレインが複数の材料の混合もしくは積層で構成されたり、あるいは表面処理や半導体層との間の界面修飾を施しておくことも可能である。

【0038】本発明において用いるソースもしくはドレイン 40 もしくは 60 の作成法は特に限定されず、いかなる方法を用いても良い。一般に、真空蒸着やスパッタリングなどの気相成長法が用いられることが多いが、簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布などとして作成する湿式製造プロセスとしての印刷手法なども適応される。

【0039】本発明において用いるソースもしくはドレイン 40 もしくは 60 のパターン形状は特に限定されず、いかなるパターン形状を用いてもよい。一般に好適に用いられるのは、1 μ m 以上 1 mm 以下の幅で、20 nm 以上 10 μ m 以下の厚さの直線配線であるが、これに限定されるものではない。

【0040】本発明において用いるソースもしくはドレイン 40 の断面形状は、効果的な電界分布を実現させるために、絶縁層 30 の膜表面（図 8 の A-B 面）とソース又はドレイン電極 40 の側面（図 8 の B-C 面）との成す角 θ を 130 度以下とするのか好ましい。より効果的にするためには、できるだけ当該角度 θ が 90 度に近くなることが望ましい。

【0041】上記 θ が約 120°である素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を図 9 に示す。図から、ソースドレイン間電圧 4 V でのサブスレショルドスロープは、約 0.15 V/decade となることが示された。

【0042】上記 θ が約 150°である素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を図 10 に示す。図から、ゲート電圧を変化させてもドレイン電流はほとんど変化せず、ゲ

10

20

30

40

50

ートによる変調効果が現れないことが明らかになった。

【0043】このような形状を作成するための製造方法は、特に限定されず、いかなる方法を用いても良いが、一般には、フォトエッチング技術やマスク蒸着等を用いて、形状成形が行われる。特に、インクジェット法などの塗布法を用いた場合、その電極材料と乾燥条件によっては、電極形状が絶縁層30の膜表面とソース又はドレイン電極40の側面との成す角が90度以下になることも起こりうるが、こうした形状になることも構わない。

【0044】本発明におけるゲート20、ソースもしくはドレイン40、ドレインもしくはソース60の配置に関しては、配線される際、基板平面上におけるそれぞれの軸の相互角は特に限定されず、いかなる角度で配線されてもよい。ただし、ゲート20、ソースもしくはドレイン40、ドレインもしくはソース60が交差した部分を持つことが必要である。また、それぞれが素子部を外れた部分においては、上下方向に重ならないように設置されることが望ましい。

【0045】本発明における薄膜トランジスタは、半導体層50に有機半導体材料が用いられる。その組成は、特に限定されず、単一物質で構成されても構わないし、また複数の物質の混合によって構成されても構わない。さらに、数種の物質の層状構造によって構成されることもできる。これまでに優れた特性を示す有機半導体材料としては、以下のようなものが知られている。アントラセン、テトラセン、ペンタセンまたはその末端が置換されたこれらの誘導体。 α -セキシチオフェン。ペリレンテトラカルボン酸二無水物(P TCDA)およびその末端が置換された誘導体。ナフタレンテトラカルボン酸二無水物(N TCDA)およびその末端が置換された誘導体。銅フタロシアニン及びその末端がフッ素などで置換された誘導体。銅フタロシアニンの銅が、ニッケル、酸化チタン、フッ素化アルミニウム等で置換された誘導体及びそれぞれの末端がフッ素などで置換された誘導体。フラーレン、ルブレン、コロネン、アントラジチオフェンおよびそれらの末端が置換された誘導体。ポリフェニレンビニレン、ポリチオフェン、ポリフルオレン、ポリフェニレン、ポリアセチレンおよびこれらの末端もしくは側鎖が置換された誘導体のポリマー。

【0046】本発明に用いられる半導体層50の作製法は、特に限定されず、いかなる方法を用いても良い。一般に、真空蒸着などの気相成長法が用いられることが多いが、簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布などとして作成する印刷手法が適応される。また、マイクロコンタクトプリンティング、マイクロモルディングなどのソフトリソグラフィーと呼ばれる印刷法などを適応することもできる。

【0047】本発明における半導体層50の厚さは、チャンネル長を制御するものであり、薄ければ薄いほど高性

能を与えることができる。一般に用いられる厚さは、1 μm 以下であるが、好ましくは、0.5 μm 以下0.05 μm 以上である。またこの際、膜厚の均質性を保つために、半導体層60を構成する材料の構造形態をアモルファスとすることもできる。さらに、アモルファス性の高分子媒体に有機半導体材料を分散させたものを半導体層50として形成させることも可能である。

【0048】本発明において用いる半導体層50の形状は特に限定されず、いかなる形状を用いてもよい。ただし、ソースもしくはドレイン40、ドレインもしくはソース60が交差した部分よりも広い面積の形状を有することが求められる。

【0049】本発明におけるトランジスタ素子に、絶縁層80を挿入する場合、絶縁層80の幅は、ソースもしくはドレインとする40の幅より狭ければ構わないが、好ましくは40の幅を超えない程度に近い幅であることが好ましい。

【0050】本発明における絶縁層80を挿入する位置は、ソースもしくはドレインとする40の上であるが、半導体層50との位置関係は特に限定されない。ソースもしくはドレインとする40の上で半導体層50の下であっても構わないし、ソースもしくはドレインとする40の上部で半導体層50とドレインもしくはソースとする60との間に位置する領域に設置しても構わない。この際の絶縁層の幅は、ソースもしくはドレインとする40の幅より狭ければ構わないが、好ましくは40の幅を超えない程度に近い幅であることが好ましい。また、該絶縁層は、ソースもしくはドレインとする40と半導体層50の間と、半導体層50とドレインもしくはソースとする60との間の両方に設置しても構わない。

【0051】絶縁層80の材料は、より効果的な絶縁性を有する材料が望ましい。例えば、 SiO_2 や Al_2O_3 などがあげられるが、これに限定されるものではなく、素子の柔軟性を付与させるために、ポリメチルメタクリレート(PMMA)、ポリイミド、ポリエチレン、ポリスチレン、ポリパラキシレン、ポリフッ化ビニリデン(PVF)、ポリビニルフェノールなどのポリマー絶縁体なども用いることができる。また、半導体薄膜50の結晶粒を大きくしたり、配向性を高めたりするため、絶縁層80の配向処理を施したり、絶縁層80上にコーティングをしたりすることなども可能である。

【0052】本発明における絶縁層80の作成法は特に限定されず、いかなる方法を用いても良い。一般に、真空蒸着やスパッタリングなどの気相成長法が用いられることが多いが、簡便で低コストでの作成という点からは、スクリーン印刷、インクジェット印刷など、材料を溶媒と混合させ溶液からの塗布などとして作成する湿式製造プロセスとしての印刷手法なども適応される。また、この時の層の厚さは、一般に用いることができるのは0 nm以上5000 nm以下であるが、好ましくは5

0 nm以上500 nm以下である。

【0053】

【実施例】以下に、本発明を実施例によりさらに詳細に説明するが、本発明はこれらの実施例に限定されるものではない。

【0054】

【実施例1】合成石英（ESグレード）による基板（面積20×35 mm、厚さ：1.0 mm）を、純水にて5倍希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて20分間超音波洗浄を行い、その後、純水中にて20分間超音波洗浄を行い、洗剤除去を行った。さらにその後、基板を紫外線-オゾン洗浄器を用いて、酸素雰囲気下において20分間紫外線照射洗浄を行った。このようにして洗浄した石英基板上に、図11で示すように、ゲート電極20として、金を幅100 μm、厚さ0.2 μmのサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板30℃で、毎分6 nmの蒸着速度である。次に、図12で示すように、ゲート電極20上からポリメチルメタクリレート（PMMA）をクロロホルムに溶解し、その溶液から絶縁膜30としてスピコート法により0.4 μmの厚さに製膜した。その後、絶縁膜30の上から、図13に示すように、ドレイン電極40として、金を幅100 μm、厚さ0.2 μmのサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板温度30℃で、毎分6 nmの蒸着速度である。この際、ドレイン電極40は、先に作成したゲート電極20と一部のみで重なり、ゲート電極20の軸とドレイン電極40の軸とが平行にならないようにした。さらにその上から、図14に示すように半導体層50としてペンタセンを真空蒸着した。ペンタセンは、昇華精製を10回繰り返して精製したものを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約30℃に調整し、真空度を 2×10^{-6} Torrにまで減圧した。その後毎分1 nmの速度で0.5 μmの厚さに真空蒸着を行った。その後、図15に示すように、ソース電極60として、金を幅100 μm、厚さ0.05 μmのサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際、ソース電極60の長さ方向の軸が、ドレイン電極40の長さ方向の軸と直交し、かつゲート電極20の軸と平行とならないように製膜した。この際の製膜条件は、基板温度30℃で、毎分6 nmの蒸着速度である。このようにして、チャネル長0.5 μm、チャネル幅100 μmの電界効果型薄膜トランジスタが作成された。

【0055】

【実施例2】シリコン熱酸化膜300 nmを絶縁層30として育成したn型シリコン基板（面積20×35 mm、厚さ：1.0 mm）を、純水にて5倍に希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて20分間超音波洗浄を行い、その後、純水中、20分間超音波洗浄を

行い、洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器を用いて、酸素雰囲気下において20分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極40を、幅100 μm、厚さ0.2 μmのサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板温度30℃で、毎分6 nmの蒸着速度である。その上から、半導体層50として、ペンタセン薄膜を真空蒸着法で作成した。ペンタセンは、昇華精製を10回繰り返して精製したものを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約45℃に調整し、真空度を 2×10^{-6} Torrにまで減圧した。その後毎分1 nmの速度で0.5 μmの厚さに真空蒸着を行った。さらにその上から、ソース電極60として、インジウムを幅100 μm、厚さ0.2 μmのサイズとなるようニッケル製のマスクを利用して、長さ方向が、ドレイン電極40の長さ方向と直交するように真空蒸着した。この際の製膜条件は、基板30℃下、毎分6 nmの蒸着速度である。ゲート電極20は、基板として用いたシリコンウェハーを用いた。このようにして作成された薄膜トランジスタは、チャネル長0.5 μm、チャネル幅100 μmの電界効果型薄膜トランジスタとして動作した。図16に、このようにして作成された素子の、ソースドレイン間電圧2 V時におけるソースドレイン間電流のゲート電圧依存性を示す。図から、ソースドレイン間電圧2 Vで、サブスレショルドスロープ8 V/decadeが得られることが示された。

【0056】

【実施例3】シリコン熱酸化膜300 nmを絶縁層30として育成したn型シリコン基板（面積20×35 mm、厚さ：1.0 mm）を、純水にて5倍に希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて20分間超音波洗浄を行い、その後、純水中、20分間超音波洗浄を行い、洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器を用いて、酸素雰囲気下において20分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極40を、幅100 μm、厚さ0.2 μmのサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板温度30℃で、毎分6 nmの蒸着速度である。その上から、半導体層50として、ペンタセン薄膜を真空蒸着法で作成した。ペンタセンは、昇華精製を10回繰り返して精製したものを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約190℃に調整し、真空度を 2×10^{-6} Torrにまで減圧した。その後毎分1 nmの速度で0.5 μmの厚さに真空蒸着を行った。このようにして作製されたペンタセンは、アモルファス上に製膜される。さらにその上から、ソース電極60として、インジウムを幅100 μm、厚さ0.2 μmのサイズとなるようニッケル製のマスクを利用して、長さ方

向が、ドレイン電極40の長さ方向と直交するように真空蒸着した。この際の製膜条件は、基板30℃下、毎分6nmの蒸着速度である。ゲート電極20は、基板として用いたシリコンウェハを用いた。このようにして作成された薄膜トランジスタは、チャンネル長0.5μm、チャンネル幅100μmの電界効果型薄膜トランジスタとして動作した。図17に、このようにして作成された素子の、様々なゲート電圧におけるソースドレイン間電流のソースドレイン間電圧依存性を示す。図中ソースドレイン間電流は、ソースドレイン間電圧が0V時における漏れ電流を差し引いたものである。ゲート電圧が-50Vと高くなっても、ソースドレイン電圧が10V以下で飽和領域が現れることが示された。

【0057】

【実施例4】n型シリコン基板を、純水にて5倍に希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて20分間超音波洗浄を行い、その後、純水中、20分間超音波洗浄にて洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器にて20分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極を、幅100μm、厚さ0.1μmのサイズで真空蒸着した。この際の製膜条件は、基板30℃下、毎分6nmの蒸着速度である。このようにして作成した電極の側面を走査型電子顕微鏡で観測し、電子顕微鏡像から電極側面と絶縁層表面とのなす角を求めたところ、約120度であった。ゲート電極上からポリメチルメタクリレート

(PMMA)をクロロホルムに溶解し、その溶液から絶縁膜としてスピンコート法により0.4μmの厚さに製膜した。その後、絶縁膜の上から、その上から、ポリ-3-ヘキシルチオフェン薄膜をクロロホルム溶液から塗布製膜した。このときの膜厚は1μmであった。さらにその上から、ソース電極として金を、幅100μm、厚さ0.1μmのサイズで、長さ方向が、ドレイン電極の長さ方向と直交するように真空蒸着した。この際の製膜条件は、基板30℃下、毎分6nmの蒸着速度である。ゲート電極は、基板として用いたシリコンウェハを用いた。図18に、このようにして作成された素子の、ソースドレイン間電圧4V時におけるソースドレイン間電流のゲート電圧依存性を示す。サブスレショルドスロープは0.2V/decadeであった。

【0058】

【実施例5】シリコン熱酸化膜300nmを絶縁層として育成したn型シリコン基板を、純水にて5倍に希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて20分間超音波洗浄を行い、その後、純水中、20分間超音波洗浄にて洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器にて20分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極を、幅100μm、厚さ0.1μmのサイズで真空蒸着した。この際の製膜条件は、基板30℃下、毎分6nmの蒸着

速度である。このようにして作成した電極の側面を走査型電子顕微鏡で観測し、電子顕微鏡像から電極側面と絶縁層表面とのなす角を求めたところ、約120度であった。金電極を形成した基板を、オクタデシルトリクロロシランのクロロホルム溶液に10分間浸すことで、表面疎水処理を行った。その上から、p型半導体であるペンタセン薄膜を真空蒸着法で作成した。ペンタセンは、昇華精製を10回繰り返して精製したものをを用いた。真空蒸着条件は、基板を蒸着用ボートの上に固定し、基板温度を約45℃に調整し、真空度を 2×10^{-6} Torrにまで減圧した。その後毎分1nmの速度で500nmの厚さに真空蒸着を行った。さらにその上から、ソース電極として金を、幅100μm、厚さ0.1μmのサイズで、長さ方向が、ドレイン電極の長さ方向と直交するように真空蒸着した。この際の製膜条件は、基板30℃下、毎分6nmの蒸着速度である。ゲート電極は、基板として用いたシリコンウェハを用いた。このようにして作成された薄膜トランジスタは、チャンネル長0.5μm、チャンネル幅100μmの電界効果型薄膜トランジスタとして動作した。図19に、このようにして作成された素子の、ソースドレイン間電圧4V時におけるソースドレイン間電流のゲート電圧依存性を波線で示す。サブスレショルドスロープは0.15V/decadeで、オフ電流は 10^{-8} A台であった。これと全く同様にして、ソース電極としてインジウムを用いた素子の作製を行った。この際、インジウムは、幅100μm、厚さ0.1μmのサイズで、長さ方向が、ドレイン電極の長さ方向と直交するように真空蒸着した。製膜条件は、基板30℃下、毎分6nmの蒸着速度である。このようにして作成された薄膜トランジスタは、チャンネル長0.5μm、チャンネル幅100μmの電界効果型薄膜トランジスタとして動作した。図19に、このようにして作成された素子の、ソースドレイン間電圧4V時におけるソースドレイン間電流のゲート電圧依存性を実線で示す。サブスレショルドスロープは0.2V/decadeで、オフ電流は 10^{-10} A台であった。すなわち、全く同様にして作成した素子において、ソース及びドレインの両電極を、絶縁層の次に作成する電極を金にし、半導体層の次に作成する電極をインジウムとした場合、両電極とともに金にした場合と比べて、サブスレショルドスロープはほぼ同程度の値を示したが、オフ電流が二桁以上軽減された。

【0059】

【実施例6】シリコン熱酸化膜50nmを絶縁層として育成したn型シリコン基板を、純水にて希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて超音波洗浄を行い、その後、純水中、超音波洗浄にて潜在除去を行った。さらにその後、紫外線-オゾン洗浄器にて20分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、アルミニウムのドレイン電極を、幅100μm、

厚さ 0.1 μm のサイズで真空蒸着した。この際の製膜条件は、基板 30℃ で、毎分 6 nm の蒸着速度である。その上から、n 型半導体であるメチルペリレン薄膜を真空蒸着法で作成した。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、基板温度を約 -130℃ に調整し、真空度を 2×10^{-6} Torr にまで減圧した。その後毎分 10 nm の速度で 500 nm の厚さに真空蒸着を行った。さらにその上から、ソース電極としてペースト状の銀微粒子を、幅 100 μm 、厚さ 0.1 μm のサイズで、長さ方向が、ドレイン電極の長さ方向と直交するように先端ドロウイング法にて作製した。図 20 に、このようにして作成された素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を示す。電極をアルミニウムと銀にすることで、オフ電流が 10^{-10} A 台に押さえることができて

【0060】

【実施例 7】シリコン熱酸化膜 300 nm を絶縁層 30 nm として育成した n 型シリコン基板（面積 $20 \times 35 \text{ mm}$ 、厚さ：1.0 mm）を、純水にて 5 倍に希釈した中性洗剤（井内盛栄堂社：ピュアソフト）にて 20 分間超音波洗浄を行い、その後、純水中、20 分間超音波洗浄を行い、洗剤除去を行った。さらにその後、紫外線-オゾン洗浄器を用いて、酸素雰囲気下において 20 分間紫外線照射洗浄を行った。このようにして洗浄した基板上に、金のドレイン電極 40 を、幅 100 μm 、厚さ 0.2 μm のサイズとなるようニッケル製のマスクを利用して真空蒸着した。この際の製膜条件は、基板温度 30℃ で、毎分 6 nm の蒸着速度である。その上から、半導体層 50 として、ペンタセン薄膜を真空蒸着法で作成した。ペンタセンは、昇華精製を 10 回繰り返して精製したものを用いた。真空蒸着条件は、基板を蒸着用ポートの上方に固定し、真空度を 2×10^{-6} Torr にまで減圧した。その後毎分 1 nm の速度で 0.5 μm の厚さに真空蒸着を行った。さらにその上から、ソース電極 60 として、インジウムを幅 100 μm 、厚さ 0.2 μm のサイズとなるようニッケル製のマスクを利用して、長さ方向が、ドレイン電極 40 の長さ方向と直交するように真空蒸着した。この際、ニッケルのマスクを厚さ 1 mm のスペーサーを挟んで基板から浮かせて配置し、金電極の蒸着によりマスクの下にも電極材料が回り込んで電極側面がなまるようにした。また、この際の製膜条件は、基板 30℃ 下、毎分 6 nm の蒸着速度である。このようにして作成した電極の側面を走査型電子顕微鏡で観測し、電子顕微鏡像から電極側面と絶縁層表面とのなす角を求めたところ、約 150 度であった。ゲート電極 20 は、基板として用いたシリコンウェハを用いた。図 17 に、このようにして作成された素子の、ソースドレイン間電圧 4 V 時におけるソースドレイン間電流のゲート電圧依存性を示す。図から、ゲート電圧を変化さ

せてもドレイン電流はほとんど変化せず、ゲートによる変調効果が現れないことが明らかになった。

【0061】

【発明の効果】本発明の有機薄膜トランジスタは、その素子構造が積層薄膜で構成されるため、単純上塗り工程で製造可能であり、印刷技術の適応が極めて容易になる。また同時に、積層方向への素子の複合化が容易になり、三次元集積化が容易となる。さらに、有機半導体層が、ソース電極により被われる構造であるため、半導体層の封止効果としても働き、酸素や水分による半導体の劣化を防ぎ、素子の長寿命化をもたらす。本発明の有機薄膜トランジスタの素子構造は、チャネル長を有機半導体層の膜厚で制御できるため、1 μm 以下のチャネル長も容易に実現されるため、極めて低電圧駆動化が容易となる。有機材料を用いて、印刷技術を適応することにより、フィルム素子化、大面積素子化、フレキシブル素子化が可能であり、耐衝撃性も向上する。

【図面の簡単な説明】

【図 1】従来型の有機薄膜トランジスタで、ボトムコンタクト構造と呼ばれる素子構造の模式的断面図

【図 2】従来型の有機薄膜トランジスタで、トップコンタクト構造と呼ばれる素子構造の模式的断面図

【図 3】本発明における有機薄膜トランジスタの一例の模式的断面図

【図 4】図 3 の重要部分の拡大図

【図 5】本発明における有機薄膜トランジスタの一例の模式的断面図

【図 6】図 5 の重要部分の拡大図

【図 7】本発明における有機薄膜トランジスタのソースドレイン間に絶縁膜が付いた素子の一例の模式的断面図

【図 8】本発明のソース又はドレイン電極形状を有する素子の一例の模式的断面図

【図 9】 $\theta = \text{約 } 120^\circ$ の有機薄膜トランジスタのドレイン電圧 4 V におけるドレイン電流のゲート電圧依存性

【図 10】 $\theta = \text{約 } 150^\circ$ の有機薄膜トランジスタのドレイン電圧 4 V におけるドレイン電流のゲート電圧依存性

【図 11】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（1）

【図 12】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（2）

【図 13】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（3）

【図 14】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（4）

【図 15】本発明における有機薄膜トランジスタ形成のための有用な製造プロセス工程の概略図（5）

【図 16】ソースドレイン間電圧 2 V 時におけるソースドレイン間電流のゲート電圧依存性

19

【図 17】様々なゲート電圧におけるソースドレイン間電流のソースドレイン間電圧依存性

【図 18】半導体層にポリアルキルチオフェンの塗布薄膜を用いた時のドレイン電圧 4 V におけるドレイン電流とゲート電圧の相関曲線

【図 19】ドレイン電圧 4 V におけるドレイン電流とゲート電圧の相関曲線。実線は、半導体活性層に p 型半導体としてペンタセンを用い、ソース及びドレイン電極に金とインジウムを用いた場合のドレイン電流－ゲート電圧 ($I_d - V_g$) 曲線、波線はソース及びドレイン電極がともに金で構成されている場合のドレイン電流－ゲート電圧 ($I_d - V_g$) 曲線

【図 20】ドレイン電圧 4 V におけるドレイン電流とゲート電圧の相関曲線。半導体活性層に n 型半導体としてメチルペリレンを用い、ソース及びドレイン電極に銀とアルミニウムを用いた場合のドレイン電流－ゲート電圧 ($I_d - V_g$) 曲線

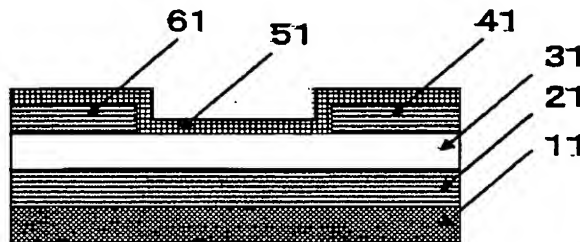
【符号の説明】

- 10 本発明における基板
- 11 ボトムコンタクト構造における基板
- 12 トップコンタクト構造における基板
- 20 本発明におけるゲート

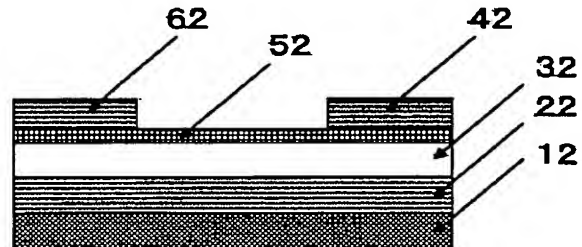
20

- 21 ボトムコンタクト構造におけるゲート
- 22 トップコンタクト構造におけるゲート
- 30 本発明における絶縁層
- 31 ボトムコンタクト構造における絶縁層
- 32 トップコンタクト構造における絶縁層
- 40 本発明におけるドレインもしくはソース
- 41 ボトムコンタクト構造におけるドレインもしくはソース
- 42 トップコンタクト構造におけるドレインもしくはソース
- 50 本発明における半導体層
- 51 ボトムコンタクト構造における半導体層
- 52 トップコンタクト構造における半導体層
- 60 本発明におけるソースもしくはドレイン
- 61 ボトムコンタクト構造におけるソースもしくはドレイン
- 62 トップコンタクト構造におけるソースもしくはドレイン
- 70 本発明における薄膜トランジスタのチャネル領域
- 80 本発明における絶縁膜
- 90 本発明における保護膜

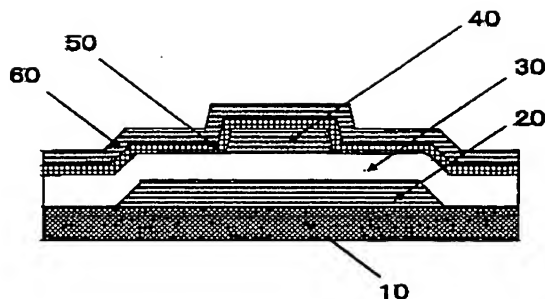
【図 1】



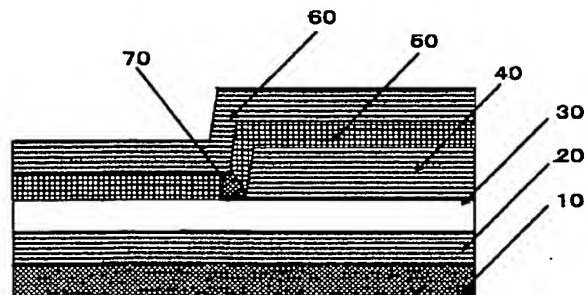
【図 2】



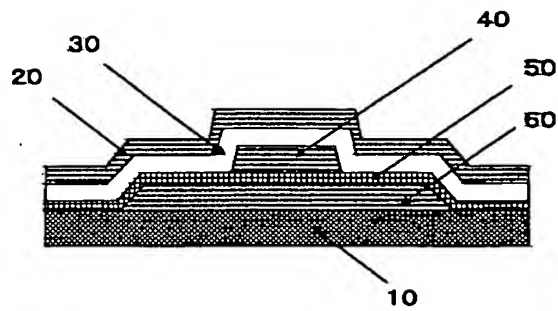
【図 3】



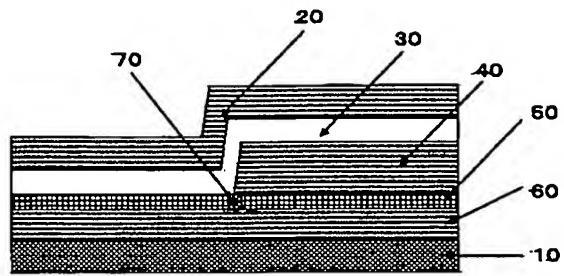
【図 4】



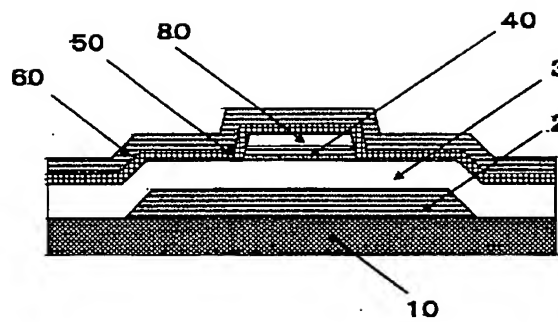
【図5】



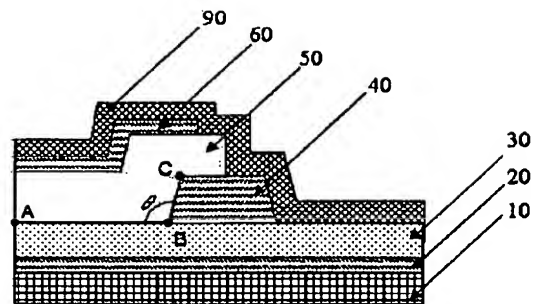
【図6】



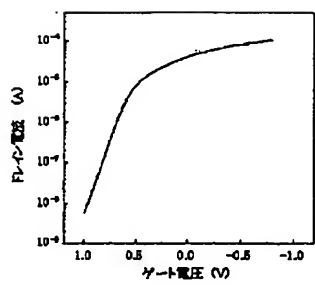
【図7】



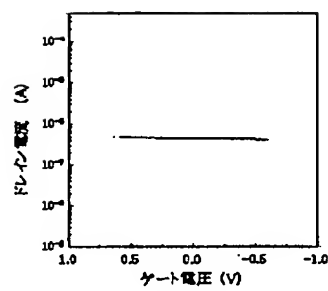
【図8】



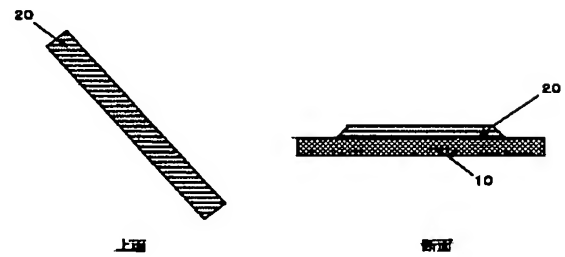
【図9】



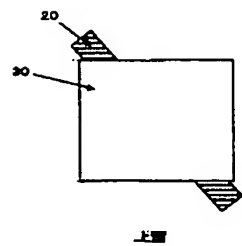
【図10】



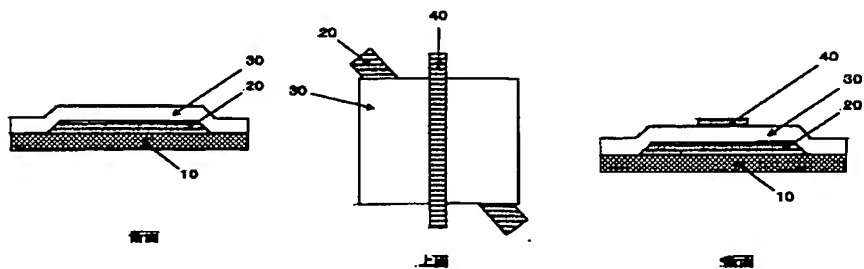
【図11】



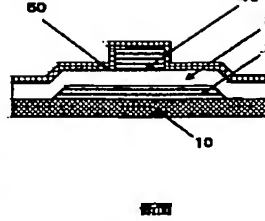
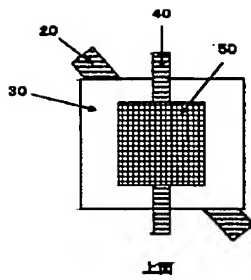
【図12】



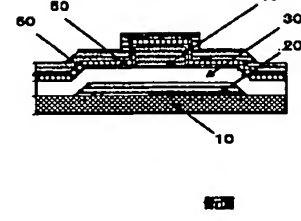
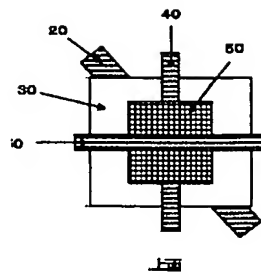
【図13】



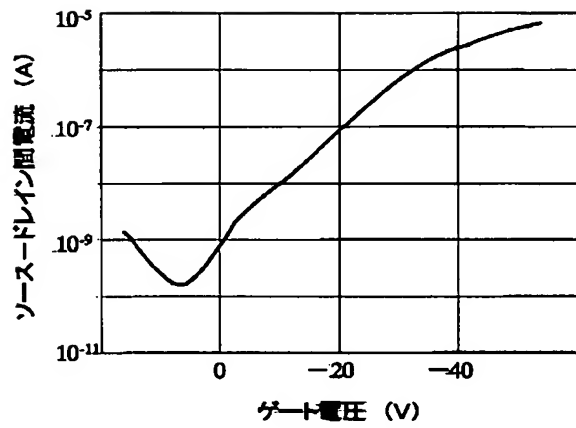
【図14】



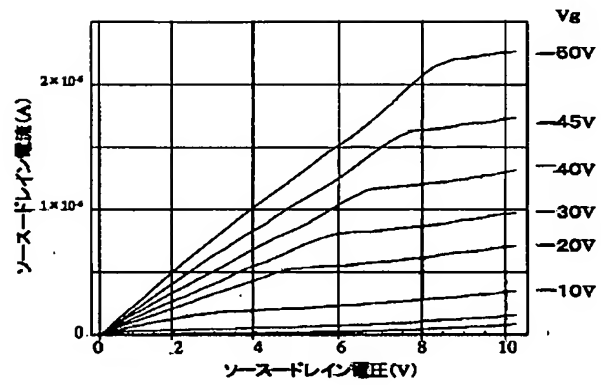
【図15】



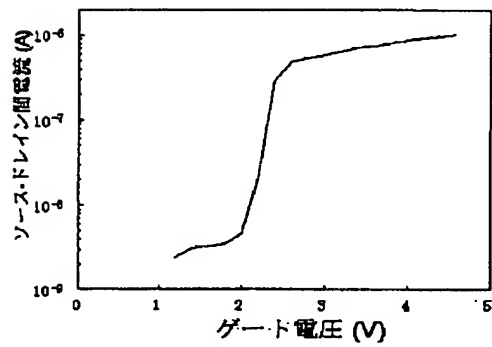
【図16】



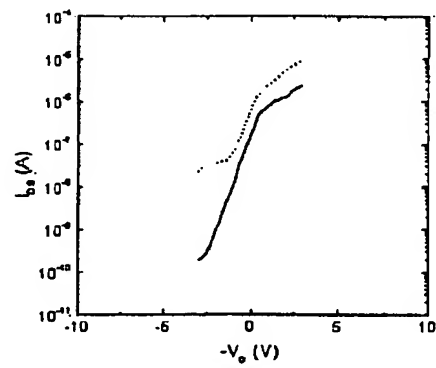
【図17】



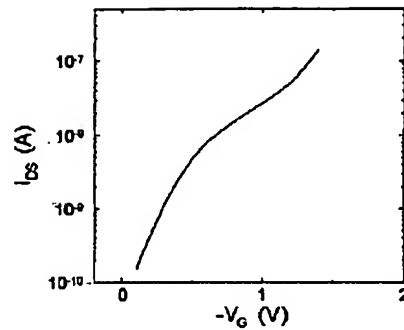
【図18】



【図19】



【図20】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	ターマコード(参考)
H O 1 L 51/00		H O 1 L 27/10	4 4 4 A
		29/78	3 7 1

F ターム(参考) 5F083 FR05 FR06 HA02 JA02 JA15
 JA36 JA37 JA38 JA39 JA60
 PR22 PR23
 5F101 BA62 BB08 BD16 BD30
 5F110 AA01 AA06 AA16 BB01 BB05
 CC10 DD01 DD02 DD03 DD05
 DD25 EE01 EE02 EE04 EE14
 EE42 EE43 EE44 FF01 FF02
 FF09 FF27 FF28 FF36 GG05
 GG15 GG25 GG28 GG29 GG42
 HK01 HK02 HK03 HK07 HK21
 HK32 HK33 HMO2 HMO3 HM12
 NN02 NN03 NN23 NN27 NN40
 QQ01